

print out

**Publication number** 463383

**Title** Thin film transistor array substrate for a liquid crystal display and a method for fabricating the same

**Publication Date** 2001/11/11

**Certification\_Number** 144377

**Application Date** 2000/06/05

**Application No.** 089110970

**IPC** H01L-029/786;G02F-001/133

**Inventor** PARK, WOON-YONGKR;  
YOON, JONG-SOOKR;  
JEONG, CHANG-OHKR

**Applicant** SAMSUNG ELECTRONICS CO., LTD.KR

**Priority Number** 1999/06/03 KR19990020515  
1999/07/06 KR19990027140  
1999/07/08 KR19990027548  
1999/07/22 KR19990029796

**Abstract** A thin film transistor substrate for a liquid crystal display includes an insulating substrate, and a gate line assembly formed on the substrate. The gate line assembly has a double-layered structure with a lower layer exhibiting good contact characteristics with respect to indium tin oxide, and an upper layer exhibiting low resistance characteristics. A gate insulating layer, a semiconductor layer, a contact layer, and first and second data line layers are sequentially deposited onto the substrate with the gate line assembly. The first and second data line layers are patterned to form a data line assembly, and the contact layer is etched through the pattern of the data line assembly such that the contact layer has the same pattern as the data line assembly. A passivation layer is deposited onto the data line assembly, and a photoresist pattern is formed on the passivation layer by using a mask of different light transmissilities mainly at a display area and a peripheral area. The passivation layer and the underlying layers are etched through the photoresist pattern to form a semiconductor pattern and contact windows. A pixel electrode, a supplemental gate pad and a supplemental data pad are then formed of indium tin oxide or indium zinc oxide. The gate and data line assemblies may be formed with a single layered structure. A black matrix and a color filter may be formed at the structured substrate before forming the pixel electrode, and an opening portion may be formed between the pixel electrode and the data line to prevent possible short circuits.

**Patent Right  
Change**

<b>Application number</b>	089110970
<b>Authorization note</b>	No

Qualification right note	No
Transfer Note	No
Inheritance Note	No
Trust note	No
Objection note	No
Exposure Note	No
Invalidation date	
Withdrawal date	
Issue date of patent right	20011111
Due date of patent right	20200604
Due date of annual fee	20091110
Due year of annual fee	8

# 公告本

申請日期	88.6.5
案 號	88110470
類 別	HOIL <sup>27</sup> GOLF <sup>1/13</sup>

A4  
C4

(以上各欄由本局填註)

463383

## 發明專利說明書

一、發明名稱	<p>中 文 用於液晶顯示器之薄膜電晶體陣列基板以及其製造方法</p> <p>英 文 "THIN FILM TRANSISTOR ARRAY SUBSTRATE FOR A LIQUID CRYSTAL DISPLAY AND A METHOD FOR FABRICATING THE SAME"</p>
二、發明人	<p>姓 名 1. 朴雲用 2. 尹鍾秀 3. 鄭敏午</p> <p>國 籍 均南韓</p> <p>住、居所 1. 大韓民國京畿道水原市八達區梅灘1洞住公5園地 APT. 521-1107 2. 大韓民國忠清南道天安市九星洞473-15 DAECHANG 3. 大韓民國京畿道華城郡台安邑拉亭里 APT. 105-1005</p>
三、申請人	<p>姓 名 (名稱) 韓商三星電子股份有限公司</p> <p>國 籍 南韓</p> <p>住、居所 (事務所) 大韓民國京畿道水原市八達區梅灘洞416番地</p> <p>代 表 人 尹鍾龍</p> <p>姓 名</p>

榮

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期：

案號：

· ☐ 有 ☐ 無主張優先權

韓國 1999 年 6 月 3 日 99-20515

☐ 有 ☒ 無主張優先權

韓國 1999 年 7 月 6 日 99-27140

☐ 有 ☒ 無主張優先權

韓國 1999 年 7 月 8 日 99-27548

☐ 有 ☒ 無主張優先權

韓國 1999 年 7 月 22 日 99-29796

☐ 有 ☒ 無主張優先權

有關微生物已寄存於：

· 寄存日期：

· 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要（發明之名稱：用於液晶顯示器之薄膜電晶體陣列基板及其製造方法）

一種使用於液晶顯示器之薄膜電晶體基板，包括一絕緣基板，及形成於該基板上之閘極線組合體。該閘極線組合體具有雙層結構，下層相對於氧化銦錫具有良好之接觸特性，而上層具有低電阻特性。於該具有閘極線組合體之基板上依序沈積閘極絕緣層、半導體層、接觸層、及第一及第二數據線層。該第一及第二數據線層係經製作佈線圖型以形成數據線組合體，該接觸層透過該數據線組合體之圖型而進行蝕刻，使得該接觸層具有與該數據線組合體相同之圖型。鈍化層係沈積於該數據線組合體上，而光阻劑圖型係使用主要位於顯示區及邊緣區域而具有不同透光度之光罩形成於該鈍化層上。該鈍化層及該底層係透過該光阻

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

英文發明摘要（發明之名稱："THIN FILM TRANSISTOR ARRAY SUBSTRATE FOR A LIQUID CRYSTAL DISPLAY AND A METHOD FOR FABRICATING THE SAME"）

A thin film transistor substrate for a liquid crystal display includes an insulating substrate, and a gate line assembly formed on the substrate. The gate line assembly has a double-layered structure with a lower layer exhibiting good contact characteristics with respect to indium tin oxide, and an upper layer exhibiting low resistance characteristics. A gate insulating layer, a semiconductor layer, a contact layer, and first and second data line layers are sequentially deposited onto the substrate with the gate line assembly. The first and second data line layers are patterned to form a data line assembly, and the contact layer is etched through the pattern of the data line assembly such that the contact layer has the same pattern as the data line assembly. A passivation layer is deposited onto the data line assembly, and a photoresist pattern is

訂

線

經濟部智慧財產局員工消費合作社印製

## 四、中文發明摘要(發明之名稱: )

劑圖型進行蝕刻，以形成一半導體圖型及接觸窗口。而像素電極、補充閘極墊及補充數據墊係由氧化銦錫或氧化銦鋅形成。該閘極及數據線組合體可使用單層結構形成。黑色矩陣及濾色器係於形成像素電極之前於該經結構化之基板上形成，而於該像素電極及該數據線之間形成一開口部分，以防止可能之短路。

## 英文發明摘要(發明之名稱: )

formed on the passivation layer by using a mask of different light transmissivities mainly at a display area and a peripheral area. The passivation layer and the underlying layers are etched through the photoresist pattern to form a semiconductor pattern and contact windows. A pixel electrode, a supplemental gate pad and a supplemental data pad are then formed of indium tin oxide or indium zinc oxide. The gate and data line assemblies may be formed with a single layered structure. A black matrix and a color filter may be formed at the structured substrate before forming the pixel electrode, and an opening portion may be formed between the pixel electrode and the data line to prevent possible short circuits.

## 五、發明說明(1)

### 發明背景

#### (a)發明範疇

本發明有關一種使用於液晶顯示器之薄膜電晶體陣列(TFT)基板,及其製造方法,尤其有關一種製造於處理步驟中具有良好性能之薄膜電晶體 TFT 陣列基板的方法。

#### (b)相關技藝描述

液晶顯示器(LCD)通常係使用兩玻璃基板、及夾置於該基板之間的液晶層形成。

其中一基板具有共用電極、濾色器及黑色矩陣,而另一基板具有像素電極及薄膜電晶體(TFTs)。前一種基板通常稱為"濾色器基板",而後一種基板通常稱為"薄膜電晶體 TFT 陣列基板"。

該薄膜電晶體 TFT 陣列基板係藉著於一玻璃基板上形成大量薄膜,相對於該薄膜進行微影術而製得。微影術中,應使用許多光罩,以均勻地蝕刻該薄膜,包括複雜之處理步驟及增加之製造成本。因此,多個光罩在薄膜電晶體 TFT 陣列基板的製造效率中成為限制因素。

此外,接觸窗口易於薄膜電晶體 TFT 形成之過程中被過度蝕刻,而造成接觸損壞。因此,需於該裝置製造中確定所需電極間之穩定而剛性的接觸。

另一方面,提供於該濾色器基板上之黑色矩陣應在考慮連接該薄膜電晶體 TFT 陣列基板之濾色器基板的校準容許度下使用特定寬度形成。然而,該較大黑色矩陣降低該寬

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

高比。因此，黑色矩陣之開口比例亦應考慮薄膜電晶體 TFT 陣列基板之製造。

### 發明概述

本發明之目的係提出一種使用於液晶顯示器而具有良好性能之薄膜電晶體 TFT 陣列基板，及使用較少數量之光罩製造彼者之方法。

本發明另一目的係提出一種製造薄膜電晶體 TFT 陣列基板之方法，其確定該電極組件間之適當接觸。

本發明另一目的係提出一種製造具有適當之開口比例的薄膜電晶體 TFT 陣列基板的方法。

此等及其他目可使用薄膜電晶體 TFT 陣列基板達成，包括一開極線組合體，該開極線係延伸於水平取向，開極係與該開極線分枝，而開極墊連接於該開極線之末端部分，以接收來自外側之掃描信號，將其傳輸至該開極線。該開極線組合體可使用單層、雙層或三層結構形成，當該開極線組合體係使用雙層或三層結構形成時，其中一層係使用低電阻材料形成，而另一層係使用具有良好接觸特性之材料形成。

該開極線組合體係依序與開極絕緣層、半導體圖型、及歐姆接觸圖型重疊。

數據線組合體係形成於具有延伸於垂直取向之數據線的歐姆接觸圖型、連接於該數據線之一部分以接收來自外側之圖型信號的數據墊、及自該數據線分枝之源極。該數據線組合體另外包括供薄膜電晶體 TFT 使用之汲極及供儲存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



### 五、發明說明(3)

電容器使用之導電性圖型。該汲極係相對於該閘極而與該源極相反，同時與該源極分隔。該導電性圖型係位於該閘極線上，同時與之重疊。該導電性圖型係連接於像素電極，以形成一儲存電容器。然而，若該像素電極與該閘極線重疊，可產生足量之儲存電容，而可省略該導電性圖型。該數據線組合體可具有單層、雙層或多層結構。

該半導體圖型具有與數據線組合體及底層歐姆接觸圖型相同之形狀。該半導體層係延伸至該基板之邊緣部分，而覆蓋之。

鈍化層覆蓋該數據線、數據墊、源極、汲極、半導體圖型、及介於該閘極線及該數據線之間的重疊部分。

接觸窗口係形成於該鈍化層上，同時曝光該汲極及該數據墊。曝光該汲極之接觸窗口可延伸向該像素區，使得其可完全曝光該汲極之邊界。另一接觸窗口係形成於該鈍化層上，同時穿透該半導體圖型及該閘極絕緣層，以使該閘極墊曝光於外界。

該像素電極係形成於位在由該鄰接之閘極及數據線所界定之像素區上的閘極絕緣層上。該像素電極係經由該接觸窗口物理性電聯，以接收來自該薄膜電晶體 TFT 之圖像信號，而於共用電極得到所需之電場。該像素電極係延伸於該導電性圖型上，且物理性連接於後者，以與該導電性圖型及該閘極線一起作為儲存電容器。

輔助閘極墊及輔助數據墊係個別形成於該閘極墊及該數據墊上。該輔助閘極及數據墊係使用相同材料與該像素電

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

極同時形成，個別接觸該開極及數據墊。

可於該像素電極及該數據線之間形成開口部分，以防止其可能之短路。

根據本發明之一態樣，製造該薄膜電晶體 TFT 陣列基板之步驟可如下進行。

開極線組合體係先使用第一光罩而形成於一基板上。之後依序於具有該開極線組合體之基板上沈積開極絕緣層、半導體層、接觸層、及第一及第二金屬數據線層。具有預定圖型之數據線組合體係經由使用第二光罩蝕刻該第一及第二金屬數據線層而形成。該接觸層係透過該數據線組合體之圖型蝕刻，使得該接觸層具有與該數據線組合體相同之圖型。

之後於該結構化之基板上沈積一鈍化層，使得該鈍化層覆蓋該半導體層及該數據線組合體。光阻劑薄膜塗佈於該鈍化層上，使用第三光罩而曝光於光下。該光阻劑薄膜之後經顯影，以形成厚度有部分差異之光阻劑圖型。

半導體圖型係藉著透過該光阻劑圖型蝕刻位於該像素區上之鈍化層及底層半導體層而形成。第一及第二接觸窗口係藉著蝕刻該鈍化層及底層第二汲極層及數據墊而形成。該第三接觸窗口係藉著蝕刻該鈍化層及底層半導體層及開極絕緣層、及該第二開極墊層而形成。

移除該光阻劑圖型之後，像素電極係使用第四光罩形成，使得該像素電極係經由該第一接觸窗口連接於該汲極。

## 五、發明說明(5)

該第二金屬閘極或數據線層可使用鋁或鋁合金形成，而該第一層係使用銻、鉍、或鉍合金。輔助閘極及數據墊可於形成該像素電極之步驟期間形成，使其經由該第二及第三接觸窗口連接於該閘極及閘極墊之第一層。該像素電極及該輔助閘極及數據墊可使用氧化銦錫或氧化銦銻形成。

相對於該第二層汲極、閘極墊及數據墊之蝕刻可使用溼式蝕刻技術或乾式蝕刻技術進行。

使位於該汲極上及位於該像素區上之鈍化層曝光之步驟可藉由以氧為主之灰化移除位於該鈍化層上之光阻劑膜而進行。

用於形成該光阻劑圖型之第三光罩可具有透明基板、形成於該透明基板上之第一層、及形成於該透明基板上而與該第一層重疊之第二層。該第一層係具有低於該透明基板之透光度，而該第二層係具有異於該基板及該第一層之透光度。透明基板係具有無該第一及第二層之第一部分、僅具有第一層之第二部分、及兼具有第一及第二層之第三部分。

該透明基板係具有 90 百分比之透光度，第一層具有 20-40 百分比之透光度，第二層具有 3 百分比或較低之透光度。該第一及第二層可具有狹縫或縐紋之透光度控制圖型。

根據本發明另一態樣，黑色矩陣及濾色器可於形成該像素電極之步驟之前形成於該經結構化之基板上。

該半導體層經蝕刻以形成半導體圖型且移除該光阻劑膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

之後，有機黑色矩陣層沈積於該基板上，經由第四光罩進行蝕刻，以形成一黑色矩陣圖型。或可使用一黑色光阻劑薄膜，以形成該黑色矩陣圖型。

濾色器係於形成該像素電極，完成輔助閘極及數據墊時，形成於介於相鄰數據線間之像素區上。

根據本發明另一態樣，鈍化層之形成係延遲於形成該半導體圖型之後。

閘極線組合體係先使用第一光罩而形成。之後依序於該基板上沈積閘極絕緣層、半導體層、歐姆接觸層、及金屬數據線層。該金屬數據線層、歐姆接觸層及半導體層係透過第二光罩蝕刻，以形成具有相同外形之所需圖型，不同處係該半導體圖型係存在於介於該源極及汲極之間的通道區上。

鈍化層係沈積於具有數據線組合體之基板 10 上，透過第三光罩蝕刻以形成接觸窗口。有機黑色矩陣層隨之沈積於該基板上，透過第四光罩蝕刻，以形成黑色矩陣圖型。之後，形成濾色器，完全形成像素電極及輔助閘極及數據墊。

前述方法中，該黑色矩陣圖型可在不形成後者的情況下完成鈍化層之功能。此外，該濾色器亦可藉著移除該閘極絕緣層位於該相鄰數據線之間的部分，而直接置放於該基板及閘極線上。

### 圖式簡單說明

圖 1 係為說明用以製造本發明第一較佳具體實例薄膜電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

晶體 TFT 陣列基板之先質基板的示意圖，其中出示使用於薄膜電晶體 TFT 陣列基板之單元區域。

圖 2 係為說明本發明第一較佳具體實例具有電路及線路組件之薄膜電晶體 TFT 陣列基板的示意圖。

圖 3 係為圖 2 所示位於一像素區中之薄膜電晶體 TFT 陣列基板的放大視圖。

圖 4 及 5 係為圖 3 所示之薄膜電晶體 TFT 陣列基板個別沿 IV-IV' 線及 V-V' 線所得之剖面圖。

圖 6A 係為圖 3 所示之薄膜電晶體 TFT 陣列基板的平面圖，說明形成閘極線組合體之步驟。

圖 6B 及 6C 係為薄膜電晶體 TFT 陣列基板沿圖 6A 之 IVb-IVb' 線及 IVc-IVc' 線所得之剖面圖。

圖 7A 係為出示於圖 3 之薄膜電晶體 TFT 陣列基板的平面圖，說明形成數據線組合體之步驟。

圖 7B 及 7C 個別係為圖 7A 之 VIIb-VIIb' 線及 VIIc-VIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖。

圖 8A 係為圖 3 所示之薄膜電晶體 TFT 陣列基板的平面圖，說明形成半導體圖型及接觸窗口之步驟。

圖 8B 及 8C 個別係為沿圖 8A 之 VIIb-VIIb' 線及 VIIc-VIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖。

圖 9A 及 9B 係為沿圖 8A 之 VIIb-VIIb' 線及 VIIc-VIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使光阻劑薄膜曝光於光下之步驟。

圖 10A 至 12 係為用以使圖 9A 及 9B 所示之光阻劑薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

曝光之光罩的剖面圖。

圖 13A 及 13B 係為沿圖 8A 之 VIIIb-VIIIb' 線及 VIIIc-VIIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該光阻劑薄膜顯影之步驟。

圖 14A 及 14B 係為沿圖 8A 之 VIIIb-VIIIb' 線及 VIIIc-VIIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明蝕刻鈍化層之某些部分之步驟。

圖 15A 及 15B 係為沿圖 8A 之 VIIIb-VIIIb' 線及 VIIIc-VIIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該鈍化層之經蝕刻部分灰化之步驟。

圖 16A 及 16B 係為沿圖 8A 之 VIIIb-VIIIb' 線及 VIIIc-VIIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該鈍化層之其他部分蝕刻之步驟。

圖 17A 及 17B 係為沿圖 8A 之 VIIIb-VIIIb' 線及 VIIIc-VIIIc' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成半導體圖型之步驟。

圖 18 至 23 係為說明本發明第二較佳具體實例依序製造薄膜電晶體 TFT 陣列基板之步驟的剖面圖。

圖 24 至 29 係為說明本發明第三較佳具體實例依序製造薄膜電晶體 TFT 陣列基板之步驟的剖面圖。

圖 30A 係為本發明第四較佳具體實例之薄膜電晶體 TFT 陣列基板之平面圖。

圖 30B 及 30C 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使光阻劑薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

曝光於光下之步驟。

圖 31 係為用以使圖 30B 及 30C 所示之光阻劑薄膜曝光之光罩的剖面圖。

圖 32A 及 32B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該光阻劑薄膜顯影之步驟。

圖 33A 及 33B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明蝕刻鈍化層之某些部分之步驟。

圖 34A 及 34B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該鈍化層之經蝕刻部分灰化之步驟。

圖 35A 及 35B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明使該鈍化層之其他部分蝕刻之步驟。

圖 36A 及 36B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成半導體圖型之步驟。

圖 37A 及 37B 係為沿圖 30A 之 III-III' 線及 IV-IV' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成像素電極之步驟。

圖 38A 係為本發明第五較佳具體實例之薄膜電晶體 TFT 陣列基板之平面圖。

圖 38B 係為沿圖 38A 之 II-II' 線所得之薄膜電晶體 TFT

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明<sup>(10)</sup>

陣列基板的剖面圖，說明形成黑色矩陣圖型之步驟。

圖 39 係為沿圖 38A 之 II-II' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成濾色器之步驟。

圖 40 係為沿圖 38A 之 II-II' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成像素電極之步驟。

圖 41A 係為本發明第六較佳具體實例之薄膜電晶體 TFT 陣列基板的平面圖。

圖 41B 係為沿圖 41A 之 IX-IX' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖。

圖 42A 係為本發明第七較佳具體實例之薄膜電晶體 TFT 陣列基板的平面圖。

圖 42B 係為沿圖 42A 之 XI-XI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成半導體圖型之步驟。

圖 43 係為沿圖 42A 之 XI-XI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成半導體圖型之步驟。

圖 44 係為沿圖 42A 之 XI-XI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成黑色矩陣圖型之步驟。

圖 45 係為沿圖 42A 之 XI-XI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖，說明形成濾色器及像素電極之步驟。

圖 46A 係為本發明第八較佳具體實例之薄膜電晶體 TFT 陣列基板的平面圖。

圖 46B 係為沿圖 46A 之 XVI-XVI' 線所得之薄膜電晶體 TFT 陣列基板剖面圖。

圖 47A 係為本發明第九較佳具體實例之薄膜電晶體 TFT

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明<sup>(11)</sup>

陣列基板的平面圖。

圖 47B 係為沿圖 47A 之 XVI-XVI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖。

圖 48A 係為本發明第十較佳具體實例之薄膜電晶體 TFT 陣列基板的平面圖。

圖 48B 係為沿圖 48A 之 XXI-XXI' 線所得之薄膜電晶體 TFT 陣列基板的剖面圖。

### 較佳具體實例詳述

參照附圖說明本發明較佳具體實例。

### 第一較佳具體實例

圖 1 至 5 係說明本發明第一較佳具體實例之薄膜電晶體 TFT 陣列基板。

可同時於單一絕緣基板上製得多個液晶顯示器面板區域。例如，如圖 1 所示，使用顯示區 111、121、131 及 141，與邊緣區域 112、122、132 及 142 製得四個面板區域 110、120、130 及 140。主要組件用之薄膜電晶體、線路及像素電極係重複配置於顯示區 111 至 141，而連接於該驅動電路之組件的墊片及其他靜電保護電路係提供於該邊緣區域 112 至 142。

該顯示區 111 至 141 及邊緣區域 112 至 142 係分成數個區域，而每個區域皆藉步進器曝光。經光阻劑薄膜塗佈之基板係使用依區域相同或相異之光罩進行曝光。曝光之後，該光阻劑薄膜完全顯影以形成一光阻劑圖型，而底層薄膜係經由該光阻劑圖型蝕刻，以形成薄膜圖型。重複該薄膜

## 五、發明說明 (12)

圖型以形成該薄膜電晶體 TFT 陣列基板。

圖 2 係為描繪圖 1 所示之薄膜電晶體 TFT 陣列基板於一面板區域上之示意圖，其中顯示區域係由長及短虛線表示。

如圖 2 所示，於該顯示區域中提供多個薄膜電晶體 TFTs3、像素電極 82、閘極線 22 及數據線 62，電聯於該薄膜電晶體 TFTs3。置於該閘極線 22 之末端的閘極墊 24 及位於該數據線 62 之末端的數據墊 64 係提供於該邊緣區域。閘極線短接桿 4 及數據線短接桿 5 係另外提供於該邊緣區域，以使該閘極線 22 及該數據線 62 等電位地互連。相鄰閘極及數據線短接桿 4 及 5 係經由短接桿連接元件 6 而彼此電聯。完成該裝置製造之後，沿虛線 2 切斷該短接桿 4 及 5。接觸窗口 7 使該短接桿連接元件 6 及相鄰短接桿 4 及 5 互連。

圖 3 係為圖 2 所示之薄膜電晶體 TFT 陣列基板於一像素區域的放大視圖，圖 4 及 5 個別係為沿 IV-IV' 線及 V-V' 線所得之剖面圖。

首先，閘極線組合體係形成於該絕緣基板 10 上。該閘極線組合體係包括延伸於水平取向之閘極線 22、自該閘極線 22 分枝之閘極 26、及連接於閘極線 22 之末端的閘極墊 24，用以接收來自外界之掃描信號，將其傳送至閘極線 22。

閘極線組合體可使用單層、雙層或三層結構形成。使用雙層或三層結構形成閘極線組合體時，一層較佳係由低電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (13)

阻材料形成，而另一層係由具有良好接觸特性之材料形成。

此較佳具體實例中，可導入具有雙層結構之閘極線組合體。即，該閘極線組合體係包括底層 221、241 及 261、及頂層 222、242 及 262。底層 221 至 261 係使用金屬材料諸如 Cr、Mo、或 Mo 合金形成，其相對於氧化銦錫(ITO)或氧化銦鋅(IZO)具有良好接觸特性。相反地，頂層 222 至 262 係使用低電阻金屬材料諸如 Al 或 Al 合金形成。

閘極線組合體係依序覆有閘極絕緣層 30、半導體圖型 42 及 48、及歐姆接觸圖型 55、56 及 58。該閘極絕緣層 30 係使用氮化矽(SiNx)形成。該半導體圖型 42 及 48 係由經氮化之非晶矽形成。該歐姆接觸圖型 55、56 及 58 係使用摻雜有 n-型雜質諸如磷(P)之非晶矽形成。

數據線組合體係形成於該歐姆接觸圖型 55、56 及 58 上。該數據線組合體係包括延伸於垂直取向之數據線 62、連接於該數據線 62 末端以接收來自外界之圖像信號之數據墊 64、及自該數據線 62 分枝之源極 65。該數據線組合體另外包括薄膜電晶體 TFT 之汲極、及儲存電容器之導電性圖型 68。該汲極 66 相對於該閘極 26 位於與該源極 65 相反之位置，而與該源極 65 分隔。該導電性圖型 68 係位於該閘極線 22 之上層，而與之重疊。該導電性圖型 68 係連接於像素電極 82，以形成儲存電容器。然而，若該像素電極 82 及該閘極線 22 可產生充分之儲存電容，則可省略該導電性圖型 68。

## 五、發明說明 (14)

下文描述中，假設存有該儲存電容器使用之導電性圖型 68。

該數據線組合體具有單層、雙層或三層結構。此較佳具體實例中，該雙層結構係使用於該數據線組合體。即，該數據線組合體係包括底層 621、641、651、661 及 681、及頂層 622、642、652 及 662。該底層 621 至 681 係由金屬材料諸如 Cr、Mo 或 Mo 合金形成，相對於氧化銦錫(ITO)及氧化鋅(ZnO)具有良好接觸特性。該頂層 622 至 662 係由低電阻金屬材料諸如 Al 或 Al 合金形成。如圖 5 所示，該數據線組合體之組件中，僅有該導電性圖型 68 具有單層結構，具有該底層 681。

該歐姆接觸圖型 55、56 及 58 降低該半導體圖型 42 及 48 與該數據線組合體之間的接觸電阻，且具有與該數據線組合體相同之形狀。

該半導體圖型 42 及 48 具有與該數據線組合體及底層歐姆接觸圖型 55、56 及 58 相同之形狀。詳言之，該儲存電容器使用之半導體圖型 48 具有與該導電性圖型 68 及底層歐姆接觸圖型 58 相同之形狀，而該薄膜電晶體 TFT 之半導體圖型 42 的形狀異於該數據線組合體及底層歐姆接觸圖型 55 及 56。即，該源極 65 係與位於該薄膜電晶體 TFT 通道區上之汲極 66 分隔，位於該源極 65 底層之歐姆接觸圖型 55 亦與位於該汲極 66 底層之歐姆接觸圖型 56 分隔。相反地，該半導體圖型 42 係連續延伸於該薄膜電晶體 TFT 之通道區。該半導體層係延伸至該基板 10 之邊緣部分，而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (15)

覆蓋之。

該鈍化層 70 覆蓋該數據線 62、該數據墊 64、該源極 65、該汲極 66、該半導體圖型 42、及介於該開極線 22 及該數據線 62 之間的重疊部分。

接觸窗口 71 及 73 係形成於該鈍化層 70 上，而曝光該汲極 66 及該數據墊 64。曝光該汲極 66 之接觸窗口 71 可向著該像素區延伸，以完全曝光該汲極 66 之邊界。移除該數據墊 64 及該汲極 66 以 A1 為主之頂層 642 及 662，使得以 Cr 為主之底層 641 及 661 由該接觸窗口 71 及 73 曝光出來。另一接觸窗口 72 係形成於該鈍化層 70 上，穿透該半導體圖型 42 及該開極絕緣層 30，以使該開極墊 24 曝光於外界。移除該開極墊 24 之頂層 242，使其底層 241 穿透該接觸窗口 72 曝光出來。

該鈍化層 70 可由有機絕緣材料諸如氮化矽及以丙烯酸為主之材料形成。該鈍化層 70 保護該半導體圖型 42 介於該源極及汲極 65 及 66 之間的通道部分。

前述像素電極 82 係形成於該開極絕緣層 30 之像素區上，被相鄰開極及數據線 22 及 62 所包圍。該像素電極 82 係經由該接觸窗口 71 物理性電聯於該汲極 66 之底層 661，以接收來自該薄膜電晶體 TFT 之圖像信號，而於共用電極得到所需之電場。該像素電極 82 係由透明導電性材料諸如氧化銦錫 (ITO) 或氧化銦鋅 (IZO) 形成。該像素電極 82 係延伸於該導電性圖型 68 上，且物理性電聯於後者，使其同時作為儲存電容器及導電性圖型 68 及開極線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(16)

22。

其間，補充開極墊 84 及補充數據墊 86 係個別形成於該開極墊 24 及該數據墊 64 上。該補充開極及數據墊 84 及 86 係與該像素電極 82 同時使用相同材料形成，個別與該開極及數據墊 24 及 64 以 Cr 為主之底層 241 及 641 接觸。該補充開極及數據墊 84 及 86 強化介於該開極 24 及數據墊 64 與外接電路裝置之間的黏著性，並保護之。然而，其被省略。

該像素電極 82、補充開極及數據墊 84 及 86 直接接觸該汲極 66、及該開極及數據墊 24 及 64 以 Cr-或 Mo- 為主之底層 661、841 及 861，於其間產生穩定而良好之接觸。

反射型液晶顯示器中，可使用不透明導電性材料於像素電極 82 中取代氧化銦錫(ITO)或氧化銦鋅(IZO)。

現在參照圖 3 至 5 及圖 6A 至 17B 說明製造本發明第一較佳具體實例之薄膜電晶體 TFT 陣列基板的方法。

如圖 6A 至 6C 所示，第一金屬開極線鋁、鋁或鋁合金層係沈積於基板 10 上，直至厚度 500-1,500 埃。之後於該第一開極線層上沈積鋁或鋁合金之第二金屬開極線層，直至厚度 1,000-4,000 埃。該第一及第二金屬開極線層係經由第一光罩溼式或乾式蝕刻，以於該基板 10 上形成雙層開極線組合體。該開極線組合體係包括具有底層 221 及頂層 222 之開極線 22、具有底層 241 及頂層 242 之開極墊 24、及具有底層 261 及頂層 262 之開極 26。

之後，如圖 7A 至 7C 所示，厚度 1,500-5,000 埃之開極絕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (17)

緣層 30、厚度 500-1,500 埃之半導體層 40、及厚度 300-600 埃之歐姆接觸層 50 係依序與開極線組合體同時以化學蒸汽沉積沈積於該基板 10 上。該開極絕緣層 30 係由氮化矽形成，該半導體層係由非晶矽(a-Si)形成，而該歐姆接觸層 50 係由經摻雜之非晶矽( $n^+a\text{-Si}$ )形成。

之後，於該歐姆接觸層 50 上沈積銻、鉬或鉬合金之第一金屬數據線層，直至厚度為 500-1,500 埃。銻或銻合金之第二金屬數據線層係沈積於該第一數據線層上，直至厚度 500-4,000 埃。該第一及第二數據線層係經由第二光罩與底層歐姆接觸層 50 同時進行蝕刻，以形成雙層數據線組合體。該數據線組合體係包括具有底層 621 及頂層 622 之數據線 62、具有底層 641 及頂層 642 之數據墊、具有底層 651 及頂層 652 之源極 65、具有底層 661 及頂層 662 之汲極 66、及具有底層 681 及頂層 682 之導電性圖型 68。此時，該歐姆接觸層 50 亦經蝕刻，以形成供該數據線 62 使用之第一接觸圖型 55、該數據墊 64 及該源極 65、供汲極 66 使用之第二接觸圖型、及供該導電性圖型 68 使用之第三接觸圖型 58。可省略具有該第三接觸圖型 58 之導電性圖型 68。

之後，如圖 8A 至 8C 所示，氮化矽之鈍化層 70 經由化學蒸汽沉積沈積於該基板 10 上，直至厚度 3,000 埃。該鈍化層 70 經第三光罩與底層半導體層 40 及開極絕緣層 30 同時經蝕刻。結果，該鈍化層 70 及頂層 662 係自該汲極 66 移除，以形成第一接觸窗口 71。該鈍化層 70、該半導體層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (18)

40、該閉極絕緣層 30 及該頂層 242 係自該閉極墊 24 移除，以形成第二接觸窗口 72。該鈍化層 70 及該頂層 642 係自該數據墊 64 移除，以形成第三接觸窗口 73。自該導電性圖型 68 移除頂層 682。此外，移除位於相鄰數據線 62 之間之像素區上的鈍化層 70 及半導體層 40，以僅於所需部分上形成該通道區。

現在詳細描述使用第三光罩之蝕刻方法。

厚度 5,000-30,000 埃之光阻劑薄膜 PR 係塗佈於該鈍化層 70 上，透過該第三光罩曝光。如圖 9A 及 9B 所示，顯示區 D 上之曝光異於邊緣區域 P 上之曝光。即，位於顯示區 D 上之光阻劑薄膜 PR 的曝光部分 C 係自表面部分分解至預定深度，其下層之分子保持不被分解。相反地，位於該邊緣區域 P 上之光阻劑薄膜 PR 的曝光部分 B 與光反應，使其分子完全分解至底部。

為了進行該種差示曝光，第三光罩對應於該光阻劑薄膜 PR 之顯示區 D 及邊緣區域 P 之透光度應適當地控制。此時導入三種技術。

圖 10A 至 12 係說明用以與底層同時地蝕刻該鈍化層 70 之第三光罩的可能結構。

首先，該第三光罩可使用分隔光罩，以個別針對於該光阻劑薄膜 PR 之顯示區 D 及邊緣區域 P 進行光罩化操作。

如圖 10A 及 10B 所示，顯示區 D 所使用之光罩 300 及邊緣區域 P 所使用之光罩 400 係使用基板 310 及 410、形成於基板 310 及 410 上而以鉻為主之不透明膜 320 及 420、及覆



## 五、發明說明 (19)

蓋具有不透明膜 320 及 420 之基板 310 及 410 的半透明薄膜 330 及 430 形成。該不透明膜 320 及 420 之透光度以 3 百分比或較低為佳，而該邊緣區 P 之光罩 400 的薄膜 430 之透光度係為 90 百分比或較高，而顯示區 D 之光罩 300 的薄膜 330 係為 20-40 百分比，介於該邊緣區 P 之薄膜 430 透光度的 20-60 百分比範圍內。

其間，可形成開口寬度約 2.5 微米之狹縫或方格圖型，以取代顯示區 D 之半透明薄膜 330，其小於曝光用光源之解析能力。

或者，如圖 11A 及 11B 所示，厚度 100-300 埃而以鉻為主之薄膜 350 覆蓋顯示區 D 之光罩 300 的整體表面，同時位於該不透明膜 320 之下層，該以鉻為主之薄膜不存在於邊緣區 P 所使用之光罩上。此情況下，該顯示區 D 之光罩 300 的薄膜 340 可具有如同邊緣區 P 之光罩 400 的薄膜之透光度。

當然，可於適當之應用中同時使用前述兩種技術。

前述兩種光罩可使用步進器分段曝光，個別針對顯示區 D 及邊緣區 P 進行光罩化操作。目標薄膜之厚度亦可藉著根據該顯示區 D 及邊緣區 P 使該曝光周期相異而控制。

另一方面，在控制施加光量之同時，可僅使用一光罩以使顯示及邊緣區 D 及 P 曝光。圖 12 係說明該光罩 500 之結構。

如圖 12 所示，透光度控制膜 550 係形成於光罩 500 之基板 510 上，不透明膜 520 係形成於透光度控制膜 550 上。雖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(20)

然顯示區 D 之透光度控制膜 550 係形成於該基板 510 之整體表面上，但該邊緣區 P 之透光度控制膜 550 僅形成於該不透明膜 520 之下方。即，兩層或多層具有不同厚度之圖型係形成於基板 510 上。當然，該透光度控制膜可形成於基板 510 之整體表面上，同時位於顯示及邊緣區 D 及 P 上。此情況下，邊緣區 P 之透光度控制膜 550 的透光度應高於顯示區 D 控制膜 550 之透光度。

該光罩 500 之製造方法中，透光度控制膜 550、及蝕刻半異於該透光度控制膜 550 之不透明膜 520 係依序沈積於該基板 510 上。該光阻劑薄膜係塗佈於具有透光膜 550 及不透明膜 520 之基板 510 的整體表面上，曝光，並顯影以形成光阻劑圖型。該不透明層使用供光罩用之光阻劑圖型進行蝕刻。之後移除該光阻劑圖型，形成第二光阻劑圖型，使該透光膜 550 對應於位在邊緣區 P 之接觸窗口的部分曝光於外界。該透光膜 550 使用供光罩用之第二光阻劑圖型進行蝕刻。最後於具有透光膜 550 及不透明層 520 之圖型的基板上形成半透明薄膜 530。

其間，該光阻劑薄膜 PR 具有底層金屬開極或數據線組合體之部分可施加大量光線，因為光被該金屬成分反射。因此，為了預防產生該種問題，可導入用以截止反射光之新層，例如有色之光阻劑薄膜 PR。

如圖 13A 及 13B 所示，當透過第三光罩曝光之光阻劑薄膜 PR 被顯影時，產生光阻劑圖型 PR。即，光阻劑薄膜位於該開極及數據墊 24 及 64 上之邊緣區 P 上的某些部分 B

## 五、發明說明 (21)

完全被移除，而光阻劑薄膜位於汲極 66 及像素區上之顯示區 D 上的某些部分 C 被部分移除，而產生較薄之厚度。光阻劑薄膜殘留於該顯示及邊緣區 D 及 P 上之部分保留較厚之厚度。此種方法中，如圖 13B 所示，具有較薄厚度之光阻劑薄膜係形成於該導電性圖型 68 上。

光阻劑薄膜之厚度較佳係介於 350-10,000 埃之範圍內，即原始厚度之四分之一至七分之一，更佳係 1,000-6,000 埃之範圍內。例如，該光阻劑薄膜之原始厚度可為 25,000-30,000 埃範圍內，該光阻劑薄膜之厚度係藉著將顯示區 D 上之光罩透光度控制於 30 百分比而為 3,000-5,000 埃。然而，因為形成厚度係由處理條件決定，故該光罩之薄膜、該以銘為主之薄的厚度、及該透光度控制薄之透光度決定，故曝光時間應視該處理條件而控制。

或該光阻劑薄膜可使用一般處理技術形成，包括使該光阻劑薄膜曝光及顯影之步驟，之後進行以下操作，以使用乾式蝕刻技術蝕刻該光阻劑圖型及底層鈍化層 70、半導體層 40 及閘極絕緣層 30。

該蝕刻方法中，應部分保留該光阻劑圖型 PR 之 A 部分，位於該光阻劑圖型 PR 之 B 部分下層之鈍化層 70、半導體層 40 及閘極絕緣層 30 應被移除，而位於該光阻劑圖型 PR 之 C 部分下層之鈍化層 70 及半導體層 40 應被移除，同時保留該閘極絕緣層 30。

此情況下，可使用可同時蝕刻該光阻劑圖型 PR 及底層之乾式蝕刻技術。

## 五、發明說明(22)

或爲了防止因所形成之光阻劑薄膜的不均勻厚度而僅部分移除位於該閘極絕緣層 30 上之半導體層 40，該光阻劑圖型 PR 及底層可經由下述之數個蝕刻步驟進行蝕刻。

如圖 14A 及 14B 所示，位於數據墊 64 上光阻劑薄膜 B 部分上之鈍化層 70 係經乾式蝕刻，以曝光該數據墊 64。位於該閘極墊 24 之光阻劑薄膜之 B 部分上之鈍化層及底層半導體層 40 及閘極絕緣層 30 係經乾式蝕刻，以部分保留該閘極絕緣層 30。此情況下，位於該閘極墊 24 上之閘極絕緣層 30 可被完全移除，而曝光底層閘極墊 24。 $\text{SF}_6 + \text{N}_2$  或  $\text{SF}_6 + \text{HCl}$  可使用於乾式蝕刻，而位於顯示區 D 上之光阻劑薄膜 PR 可於乾式蝕刻期間部分移除。因此，應控制該光阻劑薄膜 PR 之消耗，使得位於顯示區 D 之鈍化層 70 不曝光於外界。此過程中，如圖 14B 所示，位於該導電性圖型 68 上之光阻劑薄膜 PR 之厚度減少之程度如同位於顯示區 D 上之光阻劑薄膜 PR。

因此，如圖 15A 及 15B 所示，位於鈍化層 70 上之光阻劑薄膜 PR 的 C 部分係經由以氧爲主之灰化移除。此情況下，考慮該光阻劑薄膜 PR 之 C 部分保留不均勻厚度，使用  $\text{N}_2 + \text{O}_2$  或  $\text{Ar} + \text{O}_2$  應可充分地進行灰化。如此，即使該光阻劑薄膜之 C 部分因些微厚度而形成不均勻，仍可完全移除。

之後，如圖 16A 及 16B 所示，位於該汲極 66、該像素區及該導電性圖型 68 上之鈍化層 70 及位於該閘極墊 24 上之閘極絕緣層 30 係使用供光罩使用之光阻劑圖型 PR 移除。

## 五、發明說明 (23)

爲了使蝕刻條件適於半導體層 40 及鈍化層 70，該蝕刻氣體較佳係含有大量  $O_2$  或  $CF_4$ 。乾式蝕刻以使用  $SF_6 + N_2$ 、 $SF_6 + O_2$ 、 $CF_4 + O_2$  或  $CF_4 + CHF_3 + O_2$  爲佳。

如圖 17A 及 17B 所示，介於該相鄰數據線 62 間之半導體層 40 係藉蝕刻移除，以完成該半導體圖型 42 及 48。較佳係使用  $Cl_2 + O_2$  或  $SF_6 + HCl + O_2 + Ar$  以蝕刻該半導體層 40。

之後，如圖 4 及 5 所示，該開極墊 24 之頂層 242、該汲極 66 之頂層 662、該數據墊 64 之頂層 642、及該導電性圖型 68 曝光於外界之頂層 682 係經由乾式蝕刻或溼式蝕刻移除，亦移除殘留之光阻劑薄膜 PR。氧化銦錫 (ITO) 或氧化銦鋅 (IZO) 沉積於該基板 10 上，經由第四光罩進行蝕刻。結果，形成像素電極 82、補充開極墊 84 及補充數據墊 86，以個別接觸該汲極 66 之底層 661、該開極墊 24 之底層 241、及該數據墊 64 之底層 641。

如前文所述，於此較佳具體實例中，該半導體圖型 42 及 48 與該接觸窗口 71 至 73 係經由單一光罩化方法形成，而所需之薄膜電晶體 TFT 陣列基板可僅使用四個光罩製造。此外，可於大型靶面積上均勻地進行不同深度之多重蝕刻。此外，該數據或開極線組合體可具有雙層結構，具有低電阻以鋁爲主之層，消除位於該墊部分而以鋁爲主之層的較差接觸特性。

其間，當該汲極 66 之頂層 662、及該數據墊 64 之頂層 642 經蝕刻時，易於該鈍化層 70 之邊緣內側發生過度蝕刻。此情況下，位於經過度蝕刻部分上之像素電極 82 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (24)

氧化銦錫(ITO)或氧化銦鋅(IZO)薄膜圖型可能破損。

### 第二較佳具體實例

圖 18 至 23 係說明製造本發明第二較佳具體實例薄膜電晶體 TFT 陣列基板的方法。此較佳具體實例中，於該基板 10 上沈積該鈍化層 70 之步驟之前的處理步驟係與第一較佳具體實例相同。

如圖 18 所示，光阻劑薄膜 PR 係塗佈於該鈍化層 70 上。該光阻劑薄膜 PR 係經由第三光罩曝光，顯影以形成一光阻劑圖型。即，位於該閘極墊 24、數據墊 64 及汲極 66 上之光阻劑薄膜 PR 的部分 B 完全被移除。與位於該汲極 66 及該數據墊 64 上之 B 部分相鄰而位於像素區上之光阻劑薄膜 PR 之 C 部分係被部分移除，而具有較薄之厚度。光阻劑薄膜 PR 之殘留部分 A 係保持未被消耗。

之後，如圖 19 所示，該鈍化層 70、該半導體層 40 及位於光阻劑薄膜 PR 之 B 部分上的閘極絕緣層 30 係經乾式蝕刻，使得該閘極墊 24、汲極 66 及數據墊 64 曝光於外界。

此過程中，部分移除該光阻劑薄膜 PR 之 A 部分。

之後，如圖 20 所示，閘極墊 24 之頂層 242、汲極 66 之頂層 662 及數據墊 64 之頂層 642 係經乾式蝕刻或溼式蝕刻，以曝光該底層 241、661 及 641。位於該汲極 66 上之光阻劑薄膜 PR、像素區及數據墊 64 係經由以氧為主之灰化移除，以曝光底層鈍化層 70。

如圖 21 所示，位於該汲極 66 及該數據墊 64 上之經曝光鈍化層 70 係經乾式蝕刻，使得該汲極 66 之頂層 662 及該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(25)

數據墊 64 之頂層 642 經由接觸窗口 71 及 73 曝光於外界。此情況下，位於該像素區上之鈍化層 70 及底層半導體層 40 亦被移除，以完成半導體圖型 42 及 48。

如圖 22 所示，移除殘留光阻劑薄膜 PR 以完成該接觸窗口 71、72 及 73。

如圖 23 所示，氧化銦錫(ITO)或氧化銦鋅(IZO)薄膜係沈積於基板 10 之整體表面上，經由第四光罩蝕刻。結果，形成輔助閘極墊 84、像素電極 82 及輔助數據墊 86，個別與該閘極墊 24 之底層 241、該汲極 66 之底層 661 及該數據墊 64 之底層 641 接觸。

如前文所述，於此較佳具體實例中，半導體圖型 42 及 48 與接觸窗口 71 至 73 係經由單一光罩化方法形成，使得可僅使用四個光罩製造所需之薄膜電晶體 TFT 陣列基板。此外，可於大型靶極面積上均勻地進行不同深度之多重蝕刻。此外，該數據或閘極線組合體可具有雙層結構，具有低電阻以鋁為主之層，未顯示位於該墊部分上而以鋁為主之層的較差接觸特性。

此外，於移除該汲極 66 之頂層 662 及該數據墊 64 之頂層 642 之後移除鈍化層 70 可消除過度蝕刻頂層 662 及 642 之問題。因此，可防止位於接觸窗口 71 及 73 上之像素電極 82 及輔助數據墊 86 破損。此外，前述結構可緩如該組件位於接觸窗口 71 至 73 上之高度差。

### 第三較佳具體實例

圖 24 至 29 係說明製造本發明第三較佳具體實例之薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (26)

電晶體 TFT 陣列基板之步驟，其中使用感光性有機層作為鈍化層。此較佳具體實例中，在沈積鈍化層於該基板 10 上之前，處理步驟係與第一較佳具體實例相同。

如圖 24 所示，感光性有機材料之感光性鈍化層 80 係沈積於該基板 10 上，直至厚度 3,000 埃。該感光性鈍化層 80 隨之經由第三光罩曝光，而顯影以形成光阻劑圖型。即，該感光性鈍化層 80 位於該閘極墊 24、該數據墊 64 及汲極 66 上之 B 部分係被完全移除。該感光性鈍化層 80 與位於汲極 66 及數據墊 64 上之 B 部分相鄰而位於顯示區上之 C 部分係被部分移除，而具有較小之厚度。感光性鈍化層 80 之殘留 A 部分保持不變。

之後，如圖 25 所示，半導體層 40 及閘極絕緣層 30 係經由該感光性鈍化層 80 之被移除部分 B 進行乾式蝕刻，曝光該閘極墊 24、該汲極 66 及該數據墊 64。

之後，如圖 26 所示，該閘極墊 24 之頂層 242、該汲極 66 之頂層 662 及該數據墊 64 之頂層 642 係經乾式或溼式蝕刻，曝光底層 241、661 及 641。

如圖 27 所示，殘留於該汲極 66 及該數據墊 64 上之感光性鈍化薄層 80 係經由以氧為主之灰化移除，使該汲極 66 之頂層 662 及該數據墊 64 之頂層 642 經由接觸窗口 71 及 73 曝光於外界。此情況下，殘留於該像素區上之感光性鈍化薄層 80 亦經移除，以曝光底層半導體層 40。

如圖 28 所示，經曝光之半導體層 40 係經乾式蝕刻，以完成半導體圖型 42 及 48。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 (27)

如圖 29 所示，氧化銦錫(ITO)或氧化銦鋅(IZO)薄膜係沈積於基板 10 之整體表面上，而經由第四光罩蝕刻。結果，完成補充開極墊 84、像素電極 82 及輔助數據墊 86，同時個別接觸該開極墊 24 之底層 241、該汲極 66 之底層 661 及該數據墊 64 之底層 641。

除與先前較佳具體實例有關之優點之外，此較佳具體實例簡化該處理步驟，因為於形成該鈍化層之後處理光阻劑薄膜之個別步驟並非必要。

### 第四較佳具體實例

圖 30A 至 37B 說明製造本發明第四較佳具體實例之薄膜電晶體 TFT 陣列基板的步驟。此較佳具體實例中，薄膜電晶體 TFT 陣列基板之其他組件及結構係與第一較佳具體實例相關者相同，不同處係該開極及數據線組合體係使用單層結構，省略該儲存電容器之導電性圓型 68，而開口部分 31 係形成於該像素電極 82 及該數據線 62 之間，而曝光該基板 10。具有金屬或導電性材料諸如 Al、Al 合金、Mo、Mo-W 合金、Cr 及 Ta 之單層結構的開極及數據線組合體係形成至厚度 1,000-4,000 埃。該開口部分 31 係於該半導體圓型 42 向著該數據線 62 之邊緣過度延伸而連接於該數據線 62 時，預防該像素電極 82 及該數據線 62 之間發生短路。

製造第四較佳具體實例之薄膜電晶體 TFT 陣列基板之方法中，將該鈍化層沈積於該基板上之步驟之前的處理步驟係與第一較佳具體實例相同，不同處係該開極及數據線組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (28)

合體係使用單層結構形成。

如圖 30B 所示，光阻劑薄膜 PR 係塗佈於該鈍化層 70 上。該光阻劑薄膜 PR 係經由第三光罩曝光。位於該顯示區 D 上之光阻劑薄膜 PR 的曝光主要異於邊緣區 P。即，該光阻劑薄膜 PR 位於該汲極 66 及該像素區上之顯示區 D 上之曝光部分 C 及 E 對光反應，使得其分子自該表面部分分解至預定深度，其底層分子保持不變。相反地，該光阻劑薄膜 PR 位於該閘極墊 24 及數據墊 64 上邊緣區 P 上之曝光部分 B 對光反應，使其分子完全分解至底部。

光阻劑薄膜 PR 位在介於該像素區及該數據線 62 間之顯示區 D 上之曝光部分 B 亦對光反應，使其分子完全分解至底部。

為達到該種不同曝光度，該第三光罩於顯示區 D 及邊緣區 P 上之透光度應適當地控制。

如圖 31 所示，前述蝕刻用之第三光罩係使用透明基板 610 形成。該透明基板 610 依序覆以透光度控制膜 620 及不透明膜 630。該不透明膜 630 較佳係具有 3 百分比之透光度，透光度控制膜 620 係具有 20-40 百分比之透光度，而透明基板 610 具有 90 百分比或更高之透光度。該透光度控制膜 620 及不透明膜 630 可使用具有相異透光度之材料形成，或使用相同材料而於彼此相異之厚度下形成。例如，後一種情況下，厚度 100-300 埃而以鉻為主之薄膜可使用於透光度控制膜 620，而以鉻為主之薄膜遠厚於該不透明薄膜 630 使用之透光度控制膜 620。

## 五、發明說明 ( 29 )

根據透光度，光罩可分成對應於該光阻劑薄膜 PR 之部分的 A、B、C 及 E 部分，及其他 F 部分。A 部分具有最低之透光度，而 B 部分具有最高之透光度。C 部分具有介於 A 及 B 之間的透光度。E 部分具有介於 B 及 C 之間的透光度。F 部分具有介於 A 及 C 之間的透光度。該基板 610、透光度控制膜 620 及不透明膜 630 皆存在於 A 部分上。僅有基板 610 存在於 B 部分上。該基板 610 及透光度控制膜 620 係存在於 C 部分上。該基板 610 及透光度控制膜 620 係存在於 E 部分上，但位於 E 部分上之透光度控制膜 620 係具有大量狹縫圖型。該基板 610、透光度控制膜 620 及不透明膜 630 皆存在於 F 部分上，而位於 F 部分上之不透明膜 630 具有大量狹縫圖型。

形成於該透光度控制膜 620 及該 E 及 F 部分之不透明膜 630 上之狹縫圖型係具有較該曝光光線之解析能力窄之寬度，使得入射光繞射，而部分穿過該狹縫。任何可誘導光之繞射的圖型皆可取代該狹縫圖型。例如，此情況下可使用錦紋圖型。

於所需部分上形成狹縫或錦紋圖型之原因為降低施加之光量。即，當欲曝光之光阻劑薄膜底層存有任何金屬組件時，該光阻劑薄膜位於該金屬組件下層之部分係因被該金屬組件反射之光而增加施加光量，使得該光阻劑薄膜之相關部分具有較其他部分小之厚度。此外，當該光阻劑薄膜塗佈於具有金屬組件之突出部分時，其係經平面化於一平面上，使得該光阻劑薄膜係位於無金屬組件之其他部分

## 五、發明說明 (30)

上，而光阻劑薄膜位於該金屬組件上之部分具有較其他部分薄之厚度。是故，於對應於具有底層金屬層之光阻劑薄膜的光罩部分上形成狹縫或錦紋圖型，以降低減少光量。或可使用有色光阻劑薄膜。

如圖 32A 及 32B 所示，當經由第三光罩曝光之光阻劑薄膜 PR 顯影時，形成光阻劑圖型 PR。即，該光阻劑薄膜位於該閘極及數據墊 24 及 64 上之 B 部分完全被移除，而該光阻劑薄膜位於汲極 66 及像素區上之 C 部分係部分被移除，留下相對薄之厚度。該光阻劑薄膜介於該像素區及該數據線 62 間之 B 部分被完全移除。光阻劑薄膜之殘留 A 部分保持具有相對大之厚度。

之後，如圖 33A 及 33B 所示，位於該數據墊 64 上 B 部分上之鈍化層 70 係經乾式蝕刻，曝光該數據墊 64，位於該閘極墊 24 上 B 部分上之鈍化層 70 及底層半導體層 40 及閘極絕緣層 30 係經乾式蝕刻，而部分保留該閘極絕緣層 30。此情況下，位於該閘極墊 24 上之閘極絕緣層 30 可被完全移除，曝光底層閘極墊 24。位於介於該像素區及該數據線 62 間之 B 部分上之鈍化層 70 及閘極絕緣層 30 係經移除，以部分保留該閘極絕緣層 30。

之後，如圖 34A 及 34B 所示，該光阻劑薄膜 PR 位於該鈍化層 70 上之 C 部分係經由以氧為主之灰化而移除。

如圖 35A 及 35B 所示，位於該汲極 66 及像素區上之鈍化層 70、及殘留於該閘極墊 24 上之閘極絕緣層 30 係使用光罩用之光阻劑圖型 PR 移除。此情況下，殘留於該像素區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (31)

及該數據線 62 間之開極絕緣層 30 亦被移除。

如圖 36A 及 36B 所示，位於介於相鄰數據線 62 間之像素區上之半導體層 40 係藉蝕刻而移除，以完成該半導體圖型 42。

之後，如圖 37A 至 37B 所示，殘留之光阻劑薄膜 PR 被移除。氧化銦錫 (ITO) 或氧化銦鋅 (IZO) 薄膜係沈積於該基板 10 上，經第四光罩進行蝕刻。結果，形成像素電極 82、補充開極墊 84 及補充數據墊 86，以個別接觸該汲極 66、該開極墊 24 及該數據墊 64。此外，斷開介於該像素電極 82 及該數據線 62 間之部分 31，以使之絕緣。

如同第三較佳具體實例，該鈍化層 70 可由感光性有機層置換。此情況下，可取消處理光阻劑薄膜之個別步驟。

除有關先前較佳具體實例之優點之外，此較佳具體實例可精密地分割該第三光罩之透光度，同時簡化相關處理步驟。此外，可藉著形成開口部分 31 而預防介於該像素電極 82 及該數據線 62 之間的可能短路。

### 第五較佳具體實例

圖 38A 至 40 係說明製造本發明第五較佳具體實例薄膜電晶體 TFT 陣列基板之步驟。此較佳具體實例中，薄膜電晶體 TFT 陣列基板之其他組件及結構係與第一較佳具體實例相同，不同處為該開極及數據線組合體係使用單層結構，省略儲存電容器之導電性圖型 68，並新導入黑色矩陣 90 及濾色器 100。

製造第五較佳具體實例之薄膜電晶體 TFT 陣列基板之方

## 五、發明說明 ( 32 )

法中，於沈積氧化銦錫(ITO)或氧化銦鋅(IZO)薄膜以形成像素電極 82 之步驟之前的處理步驟係與第一較佳具體實例相同。

如圖 38B 所示，該半導體層 40 經蝕刻以形成半導體圖型並移除殘留之光阻劑薄膜 PR 之後，有機黑色矩陣層係沈積於基板 10 上，經由第四光罩蝕刻，以形成黑色矩陣圖型 90。或可使用黑色光阻劑薄膜，以形成該黑色矩陣圖型。

之後，如圖 39 所示，於介於相鄰數據線 62 間之像素區上形成紅色、綠色及藍色之濾色器 100。該濾色器 100 係使用第五至第七光罩經由網版印刷或微影術形成。

最後，如圖 40 所示，厚度 400-500 埃之氧化銦錫(ITO)薄膜係沈積於該基板 10 上，經由第五或第八光罩蝕刻。結果，完成像素電極 82、補充開極墊 84、及補充數據墊 86。

形成之薄膜電晶體 TFT 陣列基板中，形成於顯示區上之黑色矩陣 90 係於該像素電極 82 之邊緣防止因存有電場而光洩露。該黑色矩陣 90 位於開極線 22 上之部分可被移除。該黑色矩陣 90 具有狹窄之接觸窗口，以曝光汲極 66，其係位於貫穿該鈍化層 70 之接觸窗口 71 的中心。

形成於介於該相鄰數據線 62 間之開極絕緣層 30 上的濾色器 100 係由紅色、綠色及藍色交替。該濾色器可於由相鄰數據線 62 界定之每一像素區或每一縱向區上形成。該濾色器 100 可延伸於該接觸窗口 71 上。此情況下，該濾色

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(33)

器 100 亦應具有個別接觸窗口，以互連該汲極 66 及該像素電極 82。該濾色器 100 用接觸窗口應具有 4 微米  $\times$  4 微米之尺寸，因為該濾色器 100 通常係使用基於大尺寸校準器之曝光形成。

前述結構可簡化製造薄膜電晶體 TFT 陣列基板之步驟。此外，於該薄膜電晶體 TFT 陣列基板上形成黑色矩陣 90 及濾色器 100，不需考慮結合薄膜電晶體 TFT 陣列基板及濾色器基板時之邊際誤差，可改善該裝置之開口比例。

### 第六較佳具體實例

圖 41A 及 41B 係說明本發明第六較佳具體實例之薄膜電晶體 TFT 陣列基板之結構。此較佳具體實例中，該薄膜電晶體 TFT 陣列基板之其他組件及結構係與第五較佳具體實例相同，不同處為不存在該黑色矩陣 90。即，於製造該薄膜電晶體 TFT 陣列基板之處理步驟中，省略用以形成黑色矩陣圖型 90 之步驟。

前述結構中，該裝置之開口比例較第五較佳具體實例低，但欲使用共用電極形成於相對基板上之黑色矩陣可降低該共用電極之電阻。

### 第七較佳具體實例

圖 42A 至 45 係說明製造本發明第七較佳具體實例薄膜電晶體 TFT 陣列基板之步驟。此較佳具體實例中，該薄膜電晶體 TFT 陣列基板之其他組件及結構係與第六較佳具體實例相同，不同處係該鈍化層 70 係具有新結構。此情況下，該鈍化層 70 係於形成該半導體圖型之後形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (34)

如圖 42B 所示，閘極線組合體 22、24 及 26 係使用第一光罩而先形成。之後依序於該基板 10 上沈積閘極絕緣層、半導體層、歐姆接觸層、及金屬數據線層。該金屬數據線層、該歐姆接觸層及該半導體層係經由第二光罩蝕刻，以形成所需之圖型。該半導體圖型 40、該歐姆接觸圖型 50、及該數據線組合體 62 至 66 係具有相同形狀，不同處係該半導體圖型 40 係存在於介於該源極及汲極 65 及 66 之間的通道區上。

第二光罩係使用單一光罩 200。該光罩 200 具有一透明基板 210，覆有透光度控制膜 220 及不透明膜 230。如圖 43 所示，該光罩對應於數據線組合體 62 至 66 之部分係具有透光度控制膜 220 及不透明膜 230，而其透光度係設定於 3 百分比或更低。該光罩對應於介於該源極及汲極 65 及 66 間之半導體圖型 40 之部分係具有透光度控制膜 220，其透光度係為 20 至 40 百分比。該光罩之殘留部分僅具有透明基板 210，其透光度係為 90 百分比或更高。

前述使用第二光罩之蝕刻方法中，光阻劑薄膜 PR 先塗佈於該基板 10 上，經由第二光罩曝光。該光阻劑薄膜隨之顯影以形成光阻劑圖型。

之後，經由該光阻劑圖型曝光之金屬數據線層係經蝕刻，以曝光底層歐姆接觸層。此種方法中，可使用溼式蝕刻技術或乾式蝕刻技術，較佳係僅蝕刻該金屬數據線層，而保留該光阻劑圖型。然而，若為乾式蝕刻，則因難以製造該種條件，故該光阻劑圖型可同時蝕刻。



## 五、發明說明 ( 35 )

當該金屬數據線層係由 Cr 形成時，以使用溼式蝕刻為佳，使用  $\text{CeNH}_3$  溶液。當該金屬數據線層係由 Mo 或 MoW 形成時，以使用乾式蝕刻為佳，使用  $\text{CF}_4$  及  $\text{HCl}$  或  $\text{CF}_4$  及  $\text{O}_2$  之混合物。

結果，形成數據線組合體之圖型 62 至 66，而曝光底層歐姆接觸層，不同處係該源極及汲極 65 及 66 尚未彼此隔離。

之後，經由乾式蝕刻移除所曝光之歐姆接觸層及該底層半導體層。之後，殘留於該金屬數據線層介於該源極及汲極部分間之通道部分上的光阻劑薄膜被移除。

該金屬數據線層及該底層歐姆接觸層之通道部分係經由蝕刻移除。此情況下，金屬數據線層及歐姆接觸層皆可經乾式蝕刻。或該歐姆接觸層經乾式蝕刻，而該金屬數據線層係經溼式蝕刻。前一種情況下，以相對於金屬層及接觸層之蝕刻選擇比高之條件下進行蝕刻為佳。原因為當該蝕刻選擇比低時，變得難以發現最終蝕刻點，殘留於通道區上之半導體圖型厚度無法適當地控制。後一種情況下，欲使用溼式蝕刻方法蝕刻之金屬層側面部分係經蝕刻，而留下該接觸層欲以溼式蝕刻之部分，產生階狀部分。較佳係使用  $\text{CF}_4$  與  $\text{O}_2$  之混合物，以形成具有均勻厚度之半導體圖型 40。

如此，該源極 65 及該汲極 66 可彼此分隔，完成該數據線組合體之圖型 62 至 66 及底層歐姆接觸圖型 50。

之後，移除殘留於該數據線組合體上之光阻劑薄膜。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(36)

如圖 44 所示，鈍化層 70 係沈積於具有數據線組合體之基板 10 上，而經由第三光罩蝕刻，以形成接觸窗口 71 至 73。之後將有機黑色矩陣層沈積於該基板 10 上，經由第四光罩蝕刻，以形成黑色矩陣圖型 90。

最後，如圖 45 所示，濾色器 100 及像素電極 82、輔助開極墊 84 及輔助數據墊 86 係依與第六較佳具體實例相同之方式形成於基板 10 上。

如同先前較佳具體實例，前述結構或技術可減少處理步驟之數目，而增加該裝置之開口比。

第八較佳具體實例

圖 46A 及 46B 係說明本發明第八較佳具體實例之薄膜電晶體 TFT 陣列基板的結構。此較佳具體實例中，該薄膜電晶體 TFT 陣列基板之其他組件及結構係與第七較佳具體實例相同，不同處係不存在該鈍化層 70。該黑色矩陣圖型 90 亦充作該鈍化層 70 之功能。該黑色矩陣圖型 90 係延伸於該邊緣部分 P 上。因為第七較佳具體實例亦可將黑色矩陣圖型 99 延伸於該邊緣部分 P 上，故此較佳具體實例僅省略該鈍化層 70 之處理步驟。如此可減少處理步驟數目。

第九較佳具體實例

圖 47A 及 47B 係說明本發明第九較佳具體實例之薄膜電晶體 TFT 陣列基板的結構。此較佳具體實例中，該薄膜電晶體 TFT 陣列基板之其他組件及結構係與第五較佳具體實例相同，不同處係不存在鈍化層 70，而該黑色矩陣 90 係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(37)

充作該鈍化層 70 之功能。因此，此較佳具體實例可省略形成該鈍化層 70 之個別步驟。

該黑色矩陣 90 係使用含有黑色顏料之感光性材料形成。以第三光罩為主之蝕刻方法中，該感光性矩陣層本身係經由第三光罩曝光，而不形成感光性薄膜 PR，經顯影以形成黑色矩陣圖型 90。後續處理步驟中，該黑色矩陣圖型 90 係充作該光阻劑圖型 PR 之功能。

前述結構中，可減少該處理步驟之數目。

### 第十較佳具體實例

圖 48A 及 48B 係說明本發明第十較佳具體實例之薄膜電晶體 TFT 陣列基板的結構。此較佳具體實例中，該薄膜電晶體 TFT 陣列基板之其他組件及結構係與第九較佳具體實例相同，不同處係該開極絕緣層 30 係具有不同圖型。即，該開極絕緣層位於介於相鄰數據線間之像素區上之部分係被移除，使其具有與該半導體圖型 40 相同之形狀。因此，該濾色器 100 係直接位於該基板 10 及該開極線 22 上。該開極絕緣層位於像素區上之被移除部分的寬度應為 1 微米或更大。即，該半導體層 40 之開口寬度應達 1 微米或更大。該開口防止相鄰數據線 62 間之電流經由該半導體層 40 洩露。

製造第十較佳具體實例之薄膜電晶體 TFT 陣列基板的方法中，該處理步驟係與第九較佳具體實例相同，不同處係使用僅具有透明部分及不透明部分之一般光罩以作為第三光罩。即，該光罩之透明部分係對應於靶膜欲移除部分，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(38)

而該不透明部分係對應於靶膜欲保留之部分。

當該感光性黑色矩陣圖型 90 係使用一般光罩形成時，底層半導體層及閘極絕緣層係使用感光性黑色矩陣圖型 90 作為光阻劑圖型 PR 進行蝕刻，使基板 10 及閘極線 21 介於該相鄰數據線 62 間之部分曝光於外界，亦形成接觸窗口 71 至 73。

之後，使用與第九較佳具體實例相同之方式形成濾色器 100 及像素電極 82、補充閘極墊 84 及補充數據墊 86。該濾色器 100 完全覆蓋該閘極線 22 之曝光部分，以使該閘極線 22 與該像素電極 82 絕緣。

前述結構可減少處理步驟之數目，即使使用僅具有透明及不透明部分之一般光罩亦然。

如前文所述，本發明薄膜電晶體 TFT 陣列基板可使用經簡化之處理步驟製造，而達成良好性能特性。

雖已參照較佳具體實例詳細描述本發明，但熟習此技藝者已知可在不偏離本發明申請專利範圍之精神及範圍下進行各種修飾及置換。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1. 一種製造用於液晶顯示器之薄膜電晶體陣列基板的方法，包括下列步驟：

使用第一光罩於一基板上形成一開極線組合體，該開極線組合體係包括開極線、開極電極、及開極墊；

依序於具有該開極線組合體之基板沈積一開極絕緣層、一半導體層、一接觸層、及一第一金屬數據線層及一第二金屬數據線層；

使用第二光罩經由蝕刻該第一金屬數據線層及該第二金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極電極及汲極電極；

經由該數據線組合體之圖型蝕刻該接觸層，使得該接觸層具有與數據線組合體相同之圖型；

於該經結構化基板上沈積鈍化層，使得該鈍化層覆蓋該半導體層及該數據線組合體；

於該鈍化層上塗佈一光阻劑薄膜；

使用一第三光罩使該光阻劑薄膜曝光，該經曝光光阻劑薄膜顯影以形成具有部分相異厚度之光阻劑圖型；

形成一半導體圖型及接觸窗口，該半導體圖型係藉著透過該光阻劑圖型蝕刻位於由相鄰開極線及數據線所界定之像素區上之鈍化層及底層半導體層而形成，第一接觸窗口及第二接觸窗口係藉著蝕刻該汲極及數據墊之鈍化層及底層第二層而形成，第三接觸窗口係

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

藉著蝕刻該鈍化層及底層半導體層和開極絕緣層、及該開極墊之部分頂層而形成；

移除該光阻劑圖型；及

使用第四光罩以形成一像素電極，使得該像素電極係經由該第一接觸窗口連接於該汲極。

2. 如申請專利範圍第 1 項之方法，其中該第二金屬數據線層係由鋁或鋁合金形成。
3. 如申請專利範圍第 2 項之方法，其中該第一金屬數據線層係由銻、鉍、或鉍合金形成。
4. 如申請專利範圍第 1 項之方法，其中補充數據墊係於形成該像素電極之步驟中形成，使得該補充數據墊經由該第二接觸窗口連接於該第一層數據墊。
5. 如申請專利範圍第 1 項之方法，其中該開極線組合體係使用第一金屬開極線層及第二金屬開極線層形成。
6. 如申請專利範圍第 5 項之方法，其中該第二層開極墊係於形成該開極線組合體之步驟中移除。
7. 如申請專利範圍第 6 項之方法，其中該第二金屬開極線層係由鋁或鋁合金形成。
8. 如申請專利範圍第 7 項之方法，其中該第一金屬開極線層係由銻、鉍、或鉍合金形成。
9. 如申請專利範圍第 6 項之方法，其中輔助開極墊係於形成該像素電極之步驟中形成，使得該補充開極墊係經由該第三接觸窗口連接於該第一層開極墊。
10. 如申請專利範圍第 1 項之方法，其中該像素電極係由

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

氧化銦錫或氧化銦銻形成。

11. 如申請專利範圍第 5 項之方法，其中形成半導體圖型及接觸窗口之步驟係包括下列步驟：

經由蝕刻該鈍化層及底層半導體層及閘極絕緣層而曝光該閘極墊，而經由蝕刻該鈍化層而曝光該數據墊；

曝光位於該汲極上及位於該像素區之鈍化層；

經由蝕刻該鈍化層位於該像素區上之經曝光部分及該底層半導體層而形成該半導體圖型；及

經由蝕刻該第二層汲極、數據墊、及閘極墊而形成該第一接觸窗口、第二接觸窗口及第三接觸窗口。

12. 如申請專利範圍第 11 項之方法，其中該第二層汲極、閘極墊及數據墊係經濕式蝕刻。

13. 如申請專利範圍第 11 項之方法，其中該第二層汲極、閘極墊及數據墊係經乾式蝕刻。

14. 如申請專利範圍第 11 項之方法，其中位於該汲極上及該像素區之鈍化層係藉由以氧為主之灰化移除位於該鈍化層上之光阻劑薄膜而曝光。

15. 如申請專利範圍第 14 項之方法，其中該以氧為主之灰化係使用  $N_2$  或 Ar。

16. 如申請專利範圍第 1 項之方法，其中形成半導體圖型及接觸窗口之步驟係包括下列步驟：

經由蝕刻該鈍化層而曝光該第二層汲極及數據墊，及經由蝕刻該鈍化層及該底層半導體層及閘極絕緣層

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 六、申請專利範圍

以曝光該第二層閘極墊；

經由蝕刻該第二層汲極、數據墊及閘極墊的曝光部分而曝光該汲極、該第一層數據墊及該閘極墊；

曝光與該鈍化層位於該汲極上之經移除部分相鄰之部分，及該鈍化層位於該像素區之部分；及

經由蝕刻該鈍化層位於該像素區之曝光部分而形成該半導體圖型，及經由蝕刻該鈍化層與該鈍化層位於該汲極上之經移除部分相鄰之經曝光部分以形成第一接觸窗口，而曝光該第二層汲極。

17. 如申請專利範圍第 16 項之方法，其中該鈍化層與該鈍化層位於該數據墊上之經移除部分相鄰之部分係於曝光該鈍化層與該鈍化層位於該汲極上之經移除部分相鄰之部分的步驟中曝光，而該第二接觸窗口係於經由蝕刻該鈍化層位於該數據墊上之經曝光部分形成該第一接觸窗口之步驟中形成，而曝光該第二層數據墊。
18. 如申請專利範圍第 16 項之方法，其中該第二層汲極、數據墊及閘極墊的經曝光部分係經溼式蝕刻。
19. 如申請專利範圍第 16 項之方法，其中針對於該汲極、該第二層數據墊及該閘極墊的經曝光部分之蝕刻係使用乾式蝕刻技術進行。
20. 如申請專利範圍第 16 項之方法，其中曝光該鈍化層與該鈍化層位於該汲極上之經移除部分相鄰之部分、及鈍化層位於該像素區上之部分的步驟係經由以氧為主之灰化移除位於該鈍化層上之光阻劑薄膜而進行。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

21. 如申請專利範圍第 1 項之方法，其中該半導體層係由非晶矽形成。
22. 如申請專利範圍第 21 項之方法，其中該接觸層係由接維有磷之非晶矽形成。
23. 一種製造用於液晶顯示器之薄膜電晶體陣列基板的方法，包括下列步驟：

使用第一光罩於一基板上形成一開極線組合體，該開極線組合體係包括開極線、開極、及開極墊；

依序於具有該開極線組合體之基板沈積一開極絕緣層、一半導體層、一接觸層、及一第一金屬數據線層及一第二金屬數據線層；

使用第二光罩經由蝕刻該第一金屬數據線層及該第二金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

經由該數據線組合體之圖型蝕刻該接觸層，使得該接觸層具有與數據線組合體相同之圖型；

於該經結構化基板上沈積一感光性鈍化層，使得該感光性鈍化層覆蓋該半導體層及該數據線組合體；

使用一第三光罩使該感光性鈍化層曝光，該經曝光鈍化層經顯影以形成具有部分相異厚度之鈍化層圖型，使得該鈍化層圖型係包括不具有有厚度之第一部分，而曝光位於該開極墊、第一接觸窗口及第二窗口上之半導體層，並曝光該汲極及數據墊；具有第一厚度之第二部分，與該第一及第二接觸窗口相鄰而位於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

由相鄰閘極及數據線所界定之像素區上；及具有第二厚度之第三部分，該第二厚度係大於該第一厚度；

形成第三接觸窗口，曝光該閘極墊，其係經由該鈍化層圖型之第一部分蝕刻該半導體層及底層閘極絕緣層；

經由該第一接觸窗口、該第二接觸窗口及該第三接觸窗口移除該該汲極、該第二層數據墊及該閘極墊；

灰化該鈍化層圖型之第二部分，以曝光位於該像素區上之半導體層，而增加該第一及第二接觸窗口之寬度；

藉著蝕刻位於該像素區上之經曝光半導體層而形成一半導體圖型；及

形成一像素電極，使得該像素電極係經由該第一接觸窗口電聯於該汲極。

24. 如申請專利範圍第 23 項之方法，其中補充數據墊及補充閘極墊係於形成該像素電極之步驟中形成，使得該補充數據及閘極墊個別經由該第二及第三接觸窗口接觸該第一層數據及閘極墊。

25. 如申請專利範圍第 23 項之方法，其中該鈍化層係由有機絕緣材料形成。

26. 一種製造用於液晶顯示器之薄膜電晶體陣列基板的方法，包括下列步驟：

使用第一光罩於一基板上形成一閘極線組合體，該閘極線組合體係包括閘極線、閘極、及閘極墊；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

依序於具有該開極線組合體之基板沈積一開極絕緣層、一半導體層、一接觸層、及一金屬數據線層；

使用第二光罩經由蝕刻該金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

經由該數據線組合體之圖型蝕刻該接觸層，使得該接觸層具有與數據線組合體相同之圖型；

於該經結構化基板上沈積鈍化層，使得該鈍化層覆蓋該半導體層及該數據線組合體；

於該鈍化層上塗佈一光阻劑薄膜；

使用第三光罩使該光阻劑薄膜曝光，經曝光之光阻劑薄膜經顯影以形成一光阻劑圖型，該光阻劑圖型厚度有部分差異，使得該光阻劑圖型具有不具有有厚度之第一部分，位於該開極及數據墊上，介於一像素區與相鄰數據線之間；具有第一厚度之第二部分，位於該汲極及該像素區上；及具有第二厚度之第三部分，該第二厚度係大於該第一厚度；

形成一半導體圖型、接觸窗口及開口部分，該半導體圖型係藉著經由該光阻劑圖型蝕刻位於該像素區上之鈍化層及底層半導體層而形成，該第一接觸窗口及第二接觸窗口係藉著蝕刻位於該汲極及數據墊上之鈍化層而形成，該第三接觸窗口係藉著蝕刻位於該開極墊上之鈍化層及底層半導體層及開極絕緣層而形成，該開口部分係藉著蝕刻介於該像素區及該數據線間之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

鈍化層及底層半導體層及閘極絕緣層而形成；

移除該光阻劑圖型；及

使用第四光罩形成像素電極，使得該像素電極經由該第一接觸窗口連接於該汲極。

27. 如申請專利範圍第 26 項之方法，其中形成半導體圖型、接觸窗口及開口部分之步驟係包括下列步驟：

蝕刻位於該閘極墊上之鈍化層及底層半導體層及閘極絕緣層，部分保留該閘極絕緣層，蝕刻位於該數據墊上之鈍化層，以形成該第二接觸窗口，並蝕刻介於該像素區及該數據線間之鈍化層及底層半導體層及閘極絕緣層，而部分保留該閘極絕緣層；

曝光位於該汲極上及位於該像素區之鈍化層；

蝕刻位於該汲極上之鈍化層，以形成該第一接觸窗口，同時移除位於該像素區之鈍化層，移除殘留於該閘極墊上之閘極絕緣層，以形成第三接觸窗口，或移除殘留於該像素區及該數據線之間的閘極絕緣層，以形成開口部分；及

蝕刻位於該像素區上之半導體層，以形成該半導體圖型。

28. 如申請專利範圍第 26 項之方法，其中用以形成光阻劑圖型之第三光罩係包括：

一透明基板；

形成於該透明基板上之第一層，該第一層係具有低於該基板之透光度；及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

形成於該透明基板上而覆以該第一層之第二層，具有異於該基板及該第一層透光度之透光度；

其中該透明基板係包括不具有該第一層及該第二層之第一部分、僅具有該第一層之第二部分、及兼具有該第一層及該第二層之第三部分。

29. 如申請專利範圍第 28 項之方法，其中該透明基板係具有 90 百分比之透光度，該第一層係具有 20-40 百分比之透光度，而該第二層係具有 3 百分比或更低之透光度。

30. 如申請專利範圍第 28 項之方法，其中該第一層係具有狹縫或錦紋透光度控制圖型。

31. 如申請專利範圍第 28 項之方法，其中該第二層係具有狹縫或錦紋透光度控制圖型。

32. 如申請專利範圍第 28 項之方法，其中該第三光罩之第一部分、第二部分及第三部分係配置以個別對應於該光阻劑圖型之第一部分、第二部分及第三部分。

33. 一種液晶顯示器用之薄膜電晶體陣列基板，包括：

一絕緣基板；

一開極線組合體，形成於該基板上，該開極線組合體係具有多個延伸於水平取向之開極線、自該開極線分枝之開極、及連接於該開極線末端之開極墊；

一開極絕緣層，形成於該開極線組合體上，該開極絕緣層具有曝光該開極墊之第一接觸窗口，及部分該絕緣基板之一開口部分；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一半導體圖型，形成於該閘極絕緣層上；

一接觸圖型，形成於該半導體圖型上；

一數據線組合體，形成於該接觸圖型上，具有實質與該接觸圖型相同之輪廓，該數據線組合體具有延伸於垂直取向之數據線，源極係自該數據線分枝，數據墊連接於該數據線末端，而汲極相對於該閘極位於與該源極相對之位置，而與該源極分隔；

一鈍化層，形成於該數據線組合體上，具有與該半導體圖型相同之輪廓，不同處係第二接觸窗口曝光該數據墊之部分及第三接觸窗口曝光該汲極之部分；

一像素電極，形成於由相鄰閘極及數據線界定之像素區上，該像素電極係經由第三接觸窗口電聯於該汲極，而部分接觸該閘極絕緣層；及

補助閘極及數據墊，個別接觸該閘極及數據墊。

34. 如申請專利範圍第 33 項之薄膜電晶體陣列基板，其中該開口部分係曝光介於該像素電極及該相鄰數據線之間的基板。

35. 如申請專利範圍第 33 項之薄膜電晶體陣列基板，其中曝光該汲極之第三接觸窗口延伸，使得該汲極之邊界曝光於外界。

36. 一種液晶顯示器用之薄膜電晶體陣列基板，包括：

一絕緣基板；

一閘極線組合體，形成於該基板上，該閘極線組合體係具有多個延伸於水平取向之閘極線、自該閘極線

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

分枝之閘極、及連接於該閘極線末端之閘極墊；

一第一絕緣層，形成於該閘極線組合體上，該第一絕緣層具有曝光該閘極墊之第一接觸窗口；

一半導體圖型，縱向形成於該第一絕緣層之垂直取向上；

一數據線組合體，形成於該半導體圖型上，該數據線組合體具有延伸於垂直取向之數據線，源極係自該數據線分枝，數據墊連接於該數據線末端，而汲極相對於該閘極位於與該源極相對之位置，而與該源極分隔；

一第二絕緣層，形成於該數據線組合體上，具有與該半導體圖型相同之輪廓，該第二絕緣層具有經由該第一接觸窗口曝光該數據墊之第二接觸窗口，曝光該數據墊之第三接觸窗口，及曝光該汲極之第四接觸窗口；

一濾色器，形成於由相鄰閘極及數據線界定之像素區上；及

一像素電極，形成於該濾色器上，該像素電極係經由第四接觸窗口連接於該汲極。

37. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其另外包括一接觸層，形成於該半導體圖型及該數據線組合體之間，具有與該數據線組合體相同之輪廓。

38. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其另外包括補充閘極墊及補充數據墊，個別覆蓋該閘極墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

及該數據墊。

39. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其另外包括一截光型有機圖型，形成於該數據線組合體及該覆層鈍化層之間。
40. 如申請專利範圍第 39 項之薄膜電晶體陣列基板，其中該截光型圖型係具有第五接觸窗口，經由第四接觸窗口曝光該汲極，該第五接觸窗口較該第四接觸窗口狹窄。
41. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其中該第二絕緣層係由截光型有機層形成。
42. 如申請專利範圍第 41 項之薄膜電晶體陣列基板，其中該第一絕緣層係具有與該半導體圖型相同之輪廓。
43. 如申請專利範圍第 42 項之薄膜電晶體陣列基板，其中介於該相鄰數據線間之半導體圖型開口寬度係 1 微米或更大。
44. 一種液晶顯示器用之薄膜電晶體陣列基板，包括：
  - 一絕緣基板；
  - 一開極線組合體，形成於該基板上，該開極線組合體係具有多個延伸於水平取向之開極線、自該開極線分枝之開極、及連接於該開極線末端之開極墊；
  - 一第一絕緣層，形成於該開極線組合體上，該第一絕緣層具有曝光該開極墊之第一接觸窗口；
  - 一半導體圖型，縱向形成於該第一絕緣層之垂直取向上；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

一數據線組合體，形成於該半導體圖型上，該數據線組合體具有延伸於垂直取向之數據線，源極係自該數據線分枝，數據墊連接於該數據線末端，而汲極相對於該開極位於與該源極相對之位置，而與該源極分隔，該數據線組合體實質上具有與該半導體圖型相同之輪廓，不同處為介於該源極及該汲極間之部分；

一第二絕緣層，形成於該數據線組合體上，該第二絕緣層具有曝光該第一接觸窗口之第二接觸窗口，曝光該數據墊之第三接觸窗口，及曝光該汲極之第四接觸窗口；

一濾色器，形成於位在由相鄰開極及數據線界定之像素區上的鈍化層上；及

一像素電極，形成於該濾色器上，該像素電極係經由第四接觸窗口連接於該汲極。

45. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括一接觸層，形成於該半導體圖型及該數據線組合體之間，具有實質與該數據線組合體相同之輪廓。
46. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括補充開極墊及補充數據墊，個別覆蓋該開極墊及該數據墊。
47. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括一截光型有機圖型，形成於位於該數據線組合體及該開極線組合體上之鈍化層上。
48. 如申請專利範圍第 47 項之薄膜電晶體陣列基板，其中

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 六、申請專利範圍

該截光型有機圖型係具有第五接觸窗口，經由第四接觸窗口曝光該汲極，該第五接觸窗口較該第四接觸窗口狹窄。

49. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其中該第二絕緣層係使用截光型有機層形成。
50. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成開極線組合體，該開極線組合體係包括開極線、開極、及開極墊；

依序於具有該開極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩經由蝕刻該金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

於該數據線組合體上沈積第二絕緣層；

經由選擇性地蝕刻該第二絕緣層及該底層半導體層及第一絕緣層，形成接觸窗口，曝光該汲極、該數據墊、及該開極墊，經由選擇性地蝕刻位於由相鄰開極及數據線所界定之像素區上之第二絕緣層及底層半導體層，形成一開口部分，曝光該第一絕緣層；

經由該開口部分形成於位在該像素區之第一絕緣層上形成一濾色器；及

於該濾色器上形成一像素電極。

51. 如申請專利範圍第 50 項之方法，其中一接觸層係於沈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

積該金屬數據線層之步驟中另外沈積於該半導體層上，而該接觸層係於形成該數據線組合體之步驟中與該金屬數據線層同時進行蝕刻。

52. 如申請專利範圍第 51 項之方法，其中形成接觸窗口及開口部分之步驟係包括下列步驟：

於該第二絕緣層上沈積光阻劑薄膜；

使該光阻劑薄膜經由第三光罩曝光，該第三光罩分三或多個部分而具有透光度差；

顯影該經曝光之光阻劑薄膜，以形成光阻劑圖型；

及

使用該光阻劑圖型選擇性地蝕刻該第二絕緣層、該接觸層、該半導體層及該第一絕緣層。

53. 如申請專利範圍第 50 項之方法，其另外包括於形成接觸窗口及開口部分之步驟之後形成截光型有機圖型之步驟。

54. 如申請專利範圍第 50 項之方法，其中該第二絕緣層係由截光型有機層形成。

55. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成開極線組合體，該開極線組合體係包括開極線、開極、及開極墊；

依序於具有該開極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩及一半導體圖型經由蝕刻該半導體層

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

而形成具有數據線、及源極及汲極之數據線組合體，不同處為該半導體層位於介於該源極及汲極間之通道區上的部分；

於該數據線組合體上沈積第二絕緣層，該第二絕緣層係具有接觸窗口，曝光該汲極、該數據墊及該閘極墊；

於由相鄰閘極及數據線界定之一像素區上形成一濾色器；及

於該濾色器上形成一像素電極，使得該像素電極係經由該第一接觸窗口連接於該汲極。

56. 如申請專利範圍第 55 項之方法，其中另外於沈積金屬數據線層之步驟中於該半導體層上沈積一接觸層，而該接觸層係於形成數據線組合體之步驟中與該金屬數據線層及半導體層同時進行蝕刻，以形成一接觸圖型，具有實質與該數據線組合體相同之輪廓。

57. 如申請專利範圍第 56 項之方法，其中形成該數據線組合體、半導體圖型及接觸圖型之步驟係包括下列步驟：

於該金屬數據線層上沈積一光阻劑薄膜；

經由第三光罩使該光阻劑薄膜曝光，該第三光罩具有三個或多個具有不同透光度之部分；

使經曝光之光阻劑薄膜顯影，以形成一光阻劑圖型；及

使用該光阻劑圖型選擇性地蝕刻該金屬數據線層、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

該接觸層、該半導體層。

58. 如申請專利範圍第 55 項之方法，其另外包括於形成該數據線組合體及該半導體圖型之步驟之後形成截光型有機圖型之步驟。
59. 如申請專利範圍第 55 項之方法，其中該第二絕緣層係由截光型有機層形成。
60. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成閘極線組合體，該閘極線組合體係包括閘極線、閘極、及閘極墊；

依序於具有該閘極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩及一半導體圖型經由蝕刻該金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

於該數據線組合體上沈積第二絕緣層；

經由蝕刻該第二絕緣層及底層半導體層及介於相鄰數據線間之第一絕緣層，形成曝光該汲極、該數據墊、及該汲極之接觸窗口、及曝光該基板及該閘極線之開口部分；

經由該開口部分於該基板及該閘極線之曝光部分上形成一濾色器；及

於該濾色器上形成一像素電極。

61. 如申請專利範圍第 60 項之方法，其中於沈積該金屬數

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

據線層之步驟中另外於該半導體層上沈積一接觸層，該接觸層係於形成該數據線組合體之步驟中與該金屬數據線層同時進行蝕刻。

62. 如申請專利範圍第 60 項之方法，其中該第二絕緣層係由截光型有機層形成。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

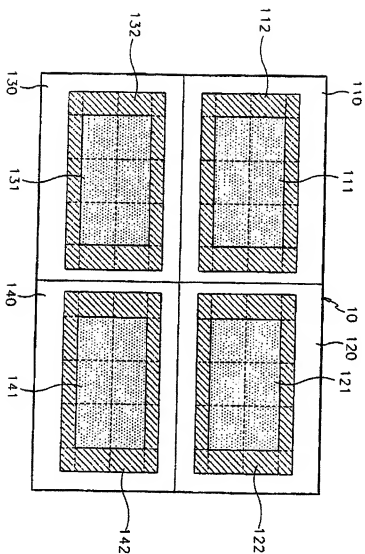
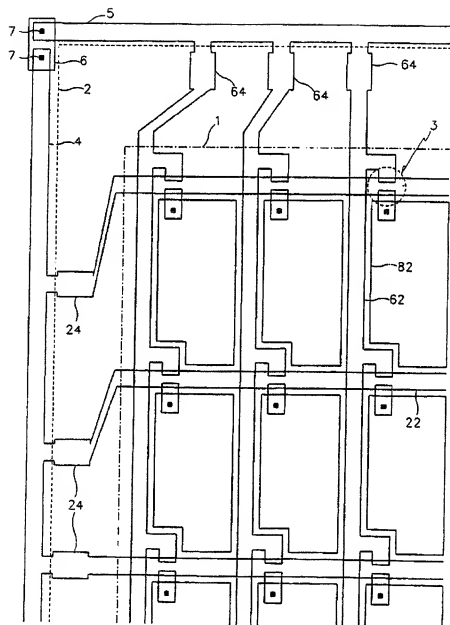
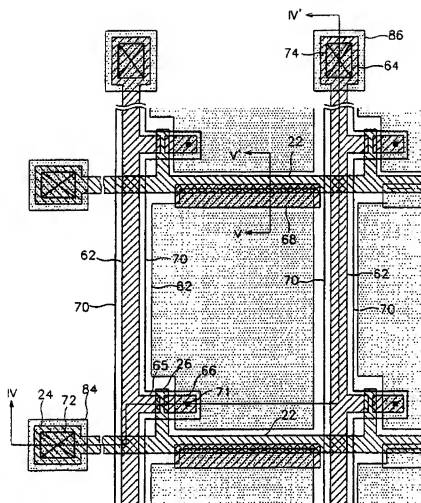
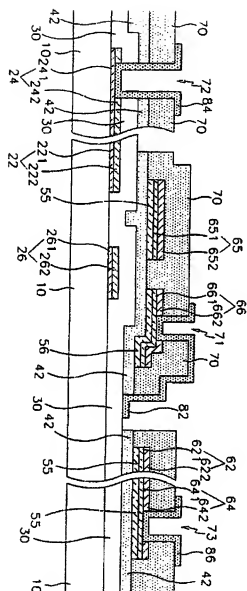


Fig. 1









463383

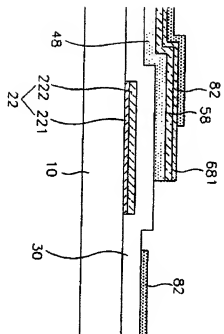


圖 5

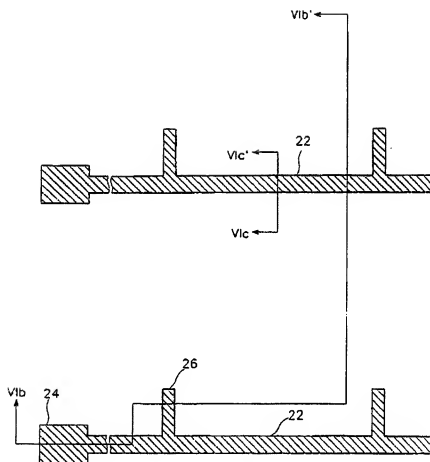
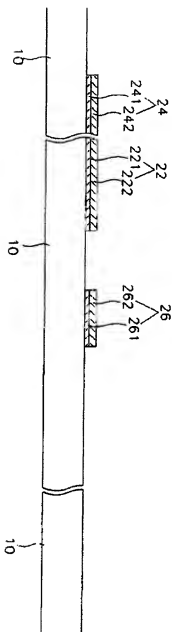
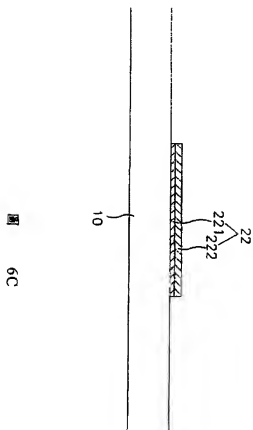


圖 6A



6B

463383



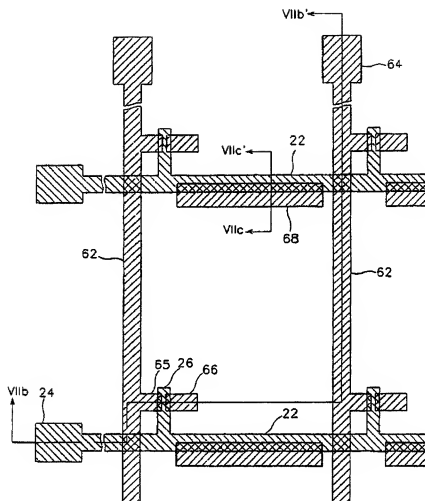


圖 7A

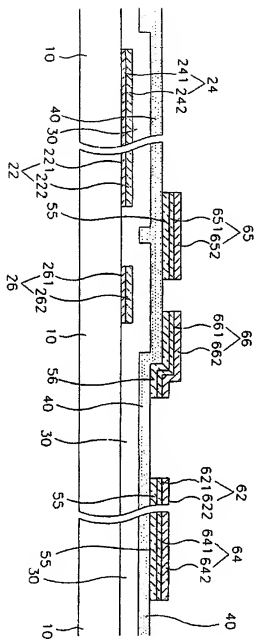


圖 7B



463383

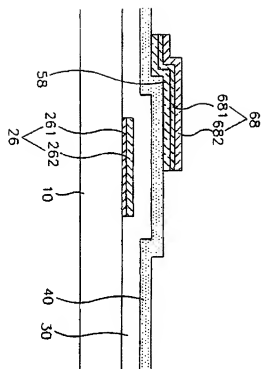


FIG. 7C

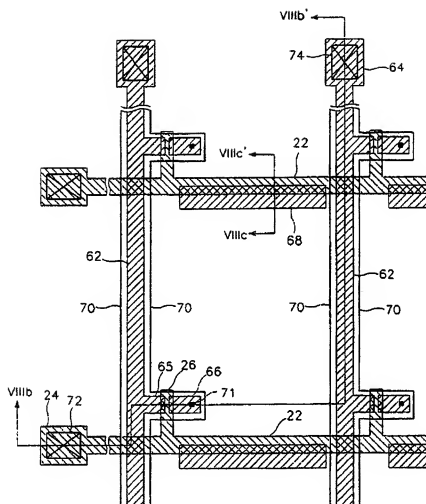
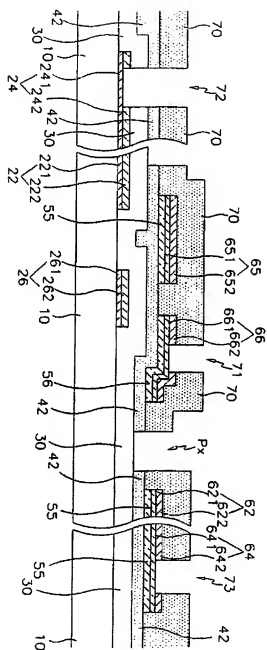


圖 8A



463383

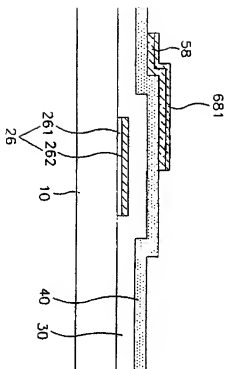
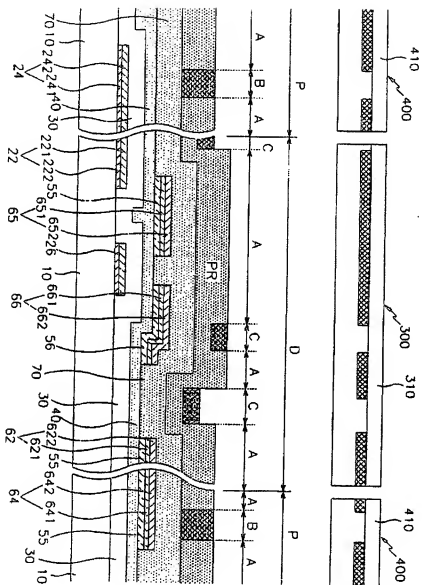
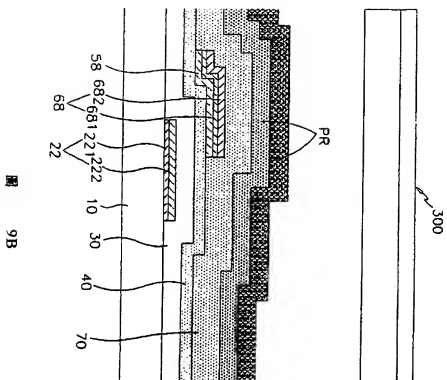


圖 8C



9A

463383



9B

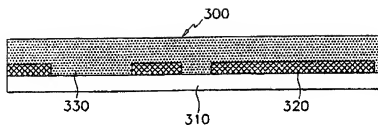


圖 10A

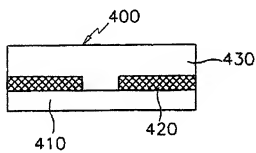


圖 10B

4 6 3 3 8 3

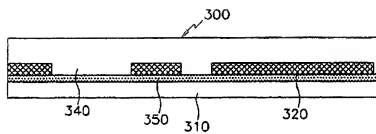


圖 11A

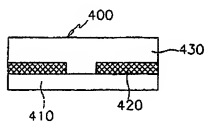
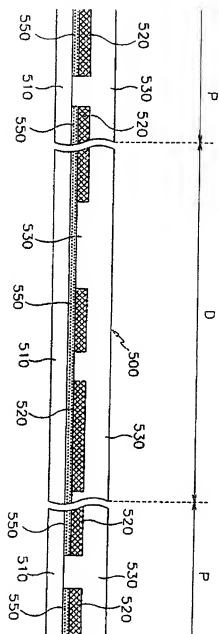
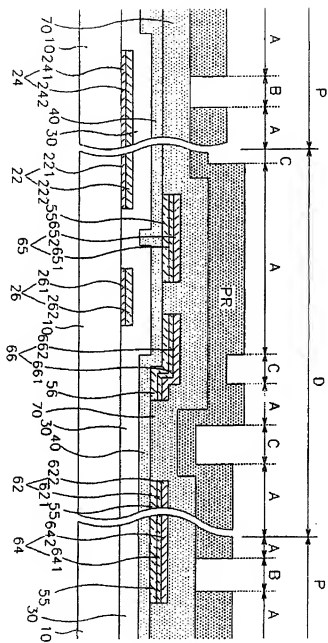


圖 11B





463383



13A

463383

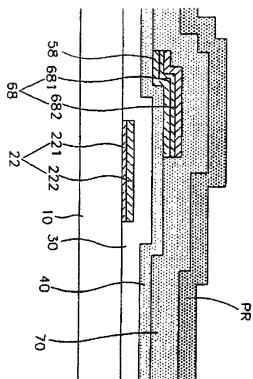
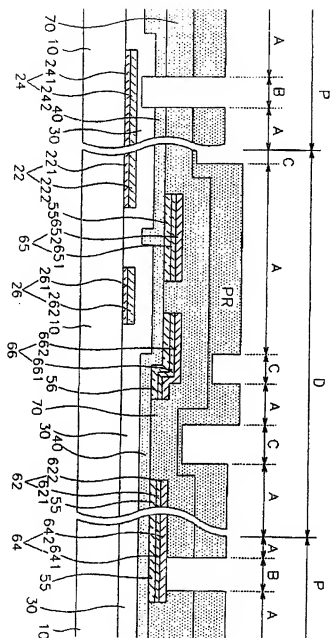
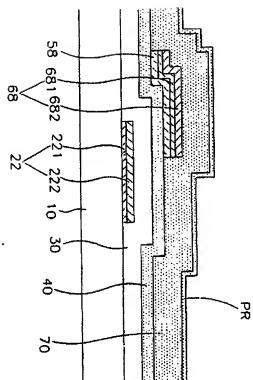
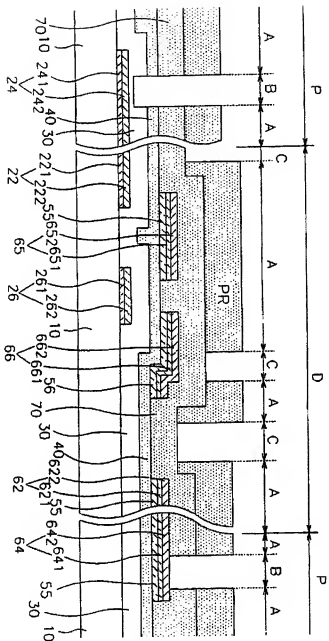


FIG. 13B



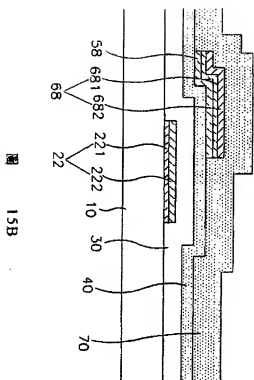
14A





15A

4 6 3 3 8 3



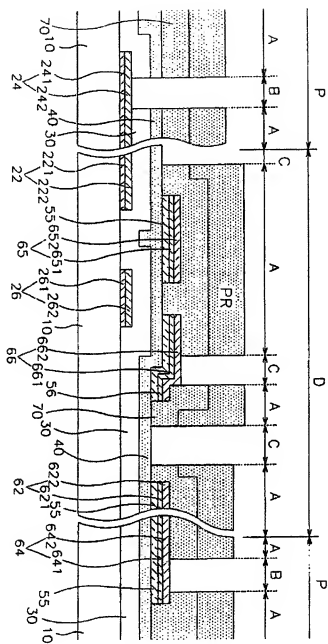


图 16A



463383

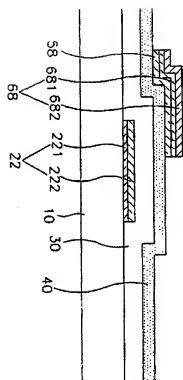


圖 16B

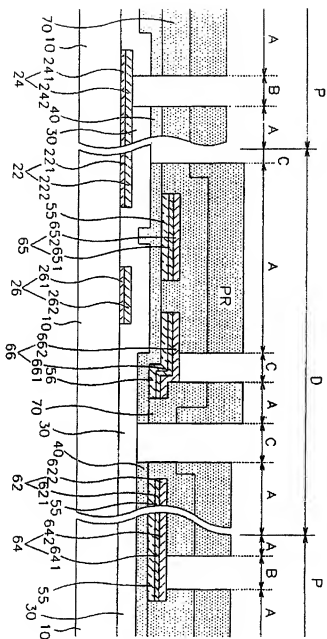


圖 17A

463383

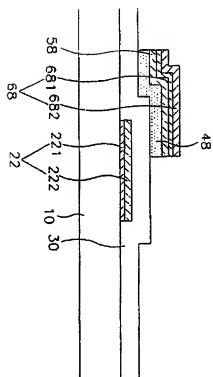
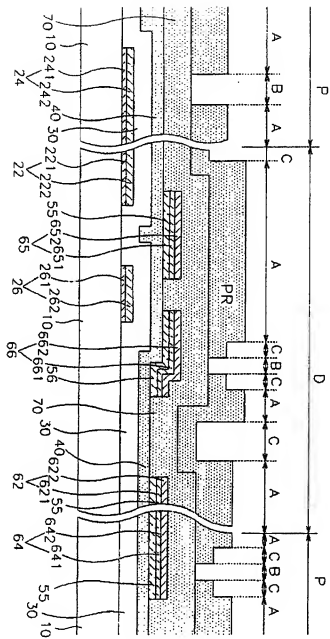
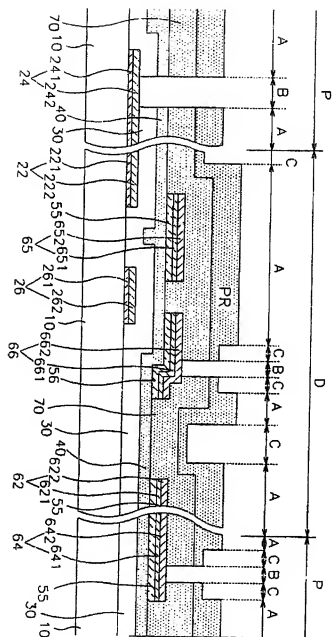
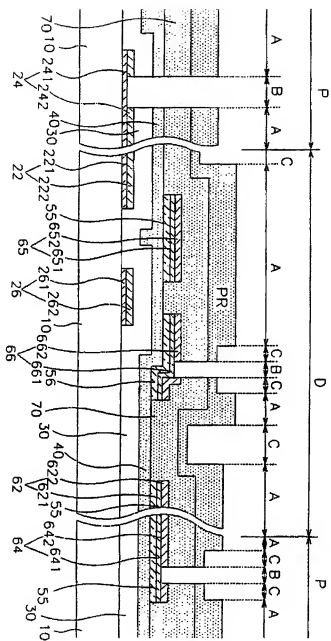
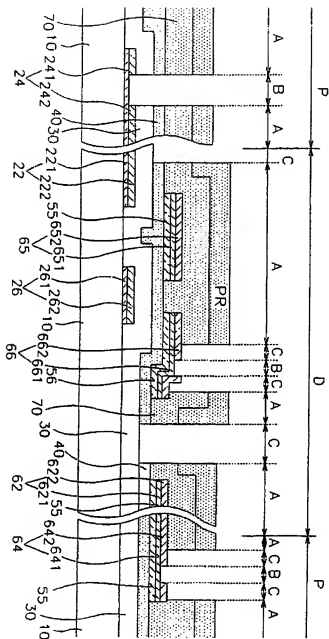


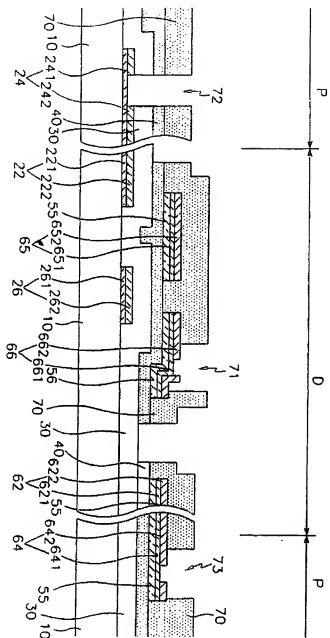
圖 17B













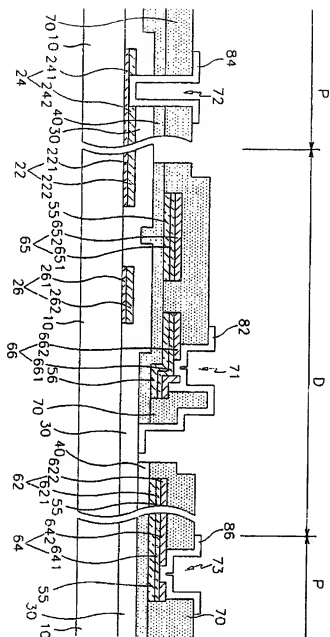


图 23

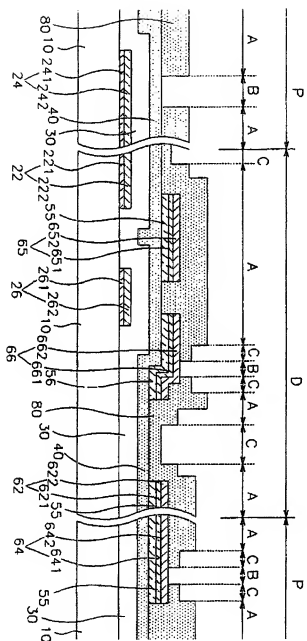
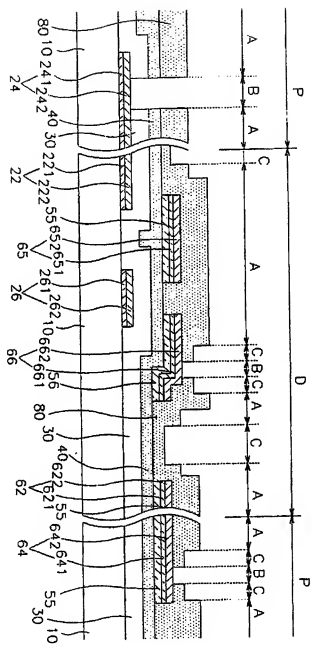


圖 24



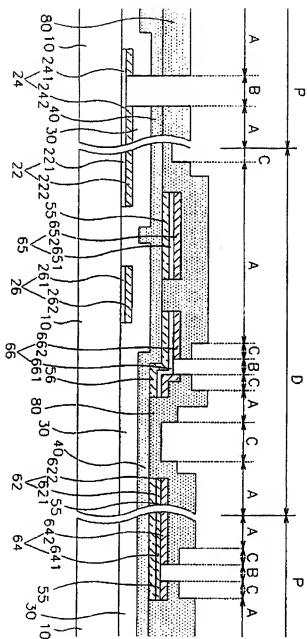


圖 26

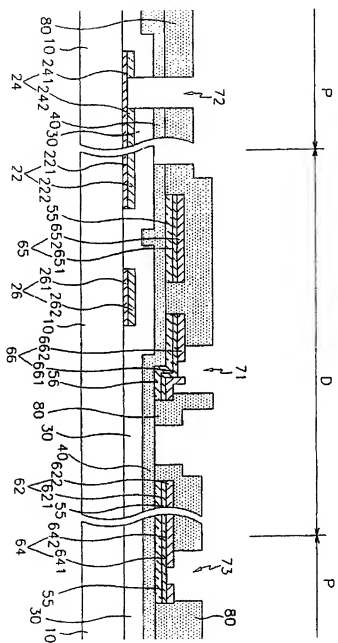


图 27

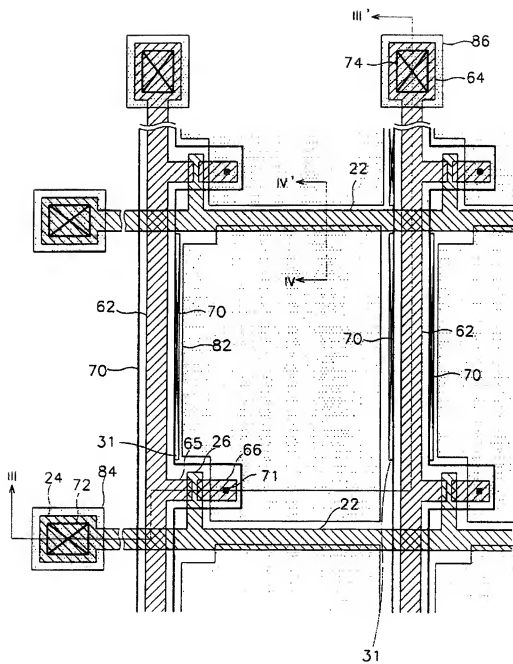


圖 30A

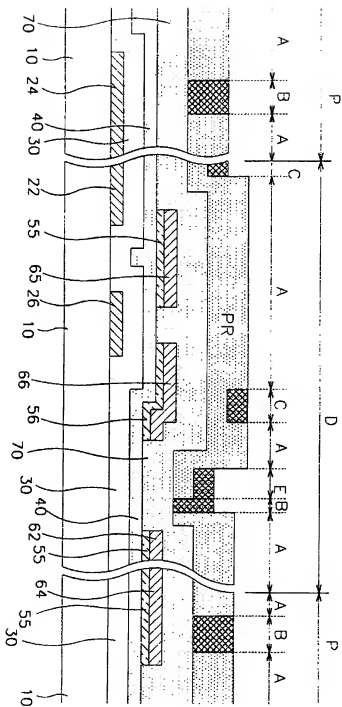
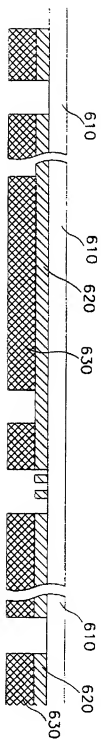
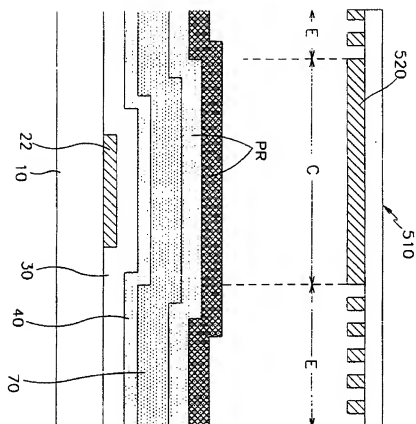


圖 30B

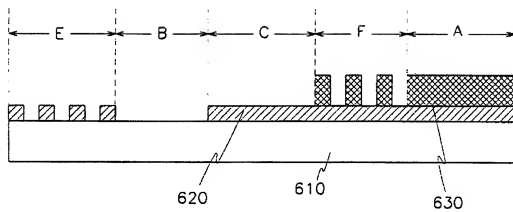
463383



30C



4 6 3 3 8 3



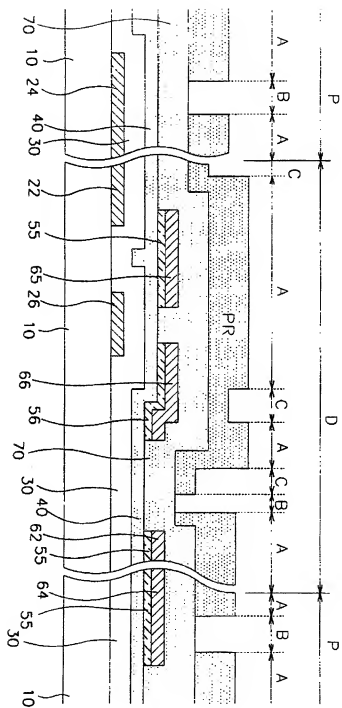
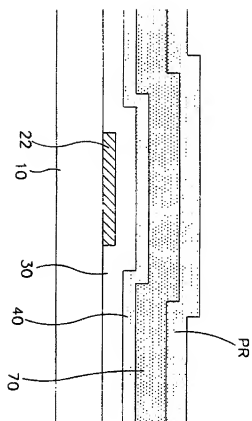


图 32A



32B

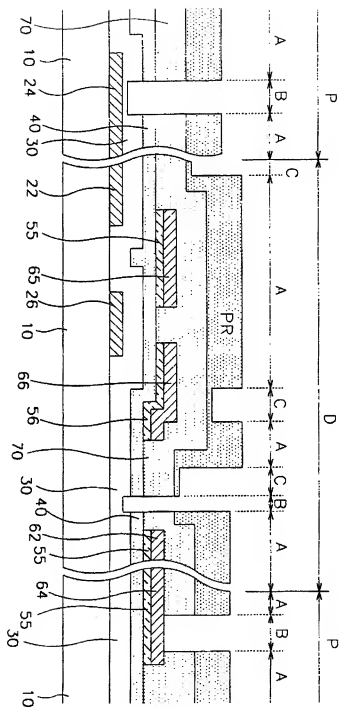
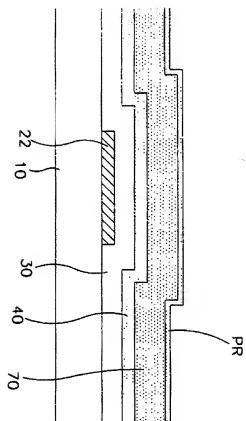


图 33A



33B

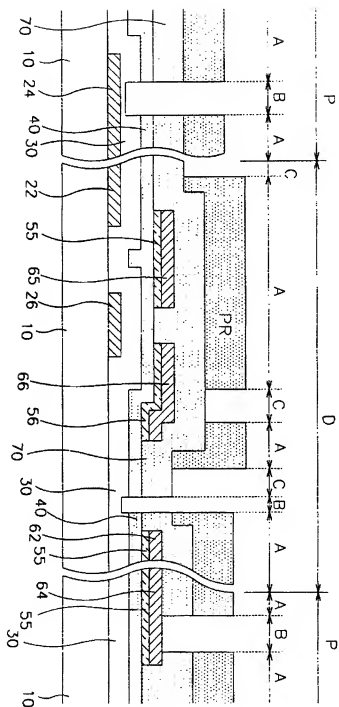
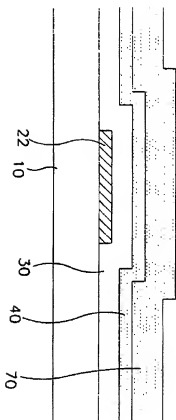
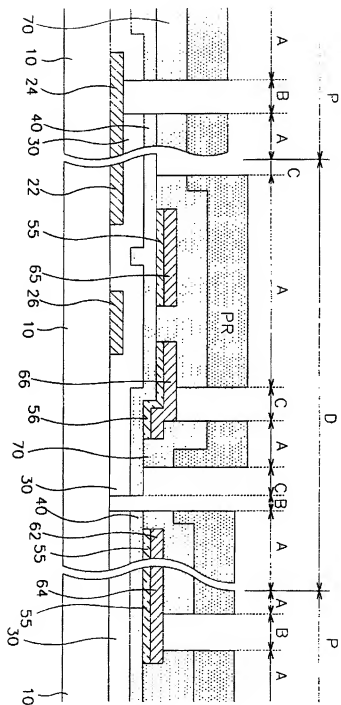


图 34A



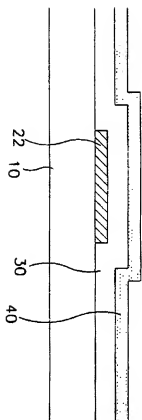
34B



35A



463383



35B

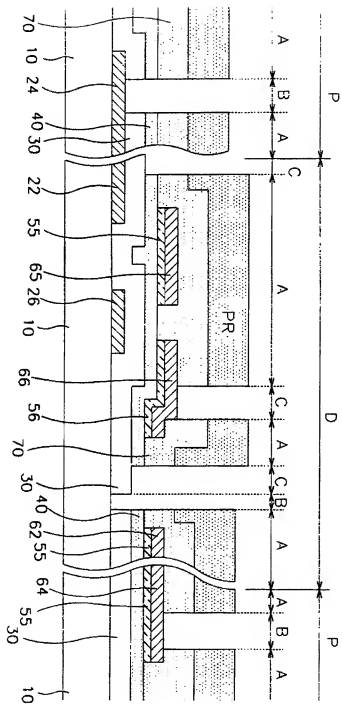
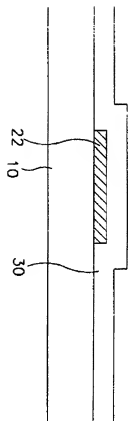


图 36A

4 6 3 3 8 3



36B

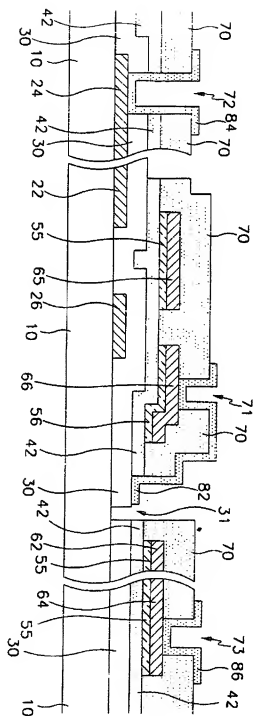


图 37A

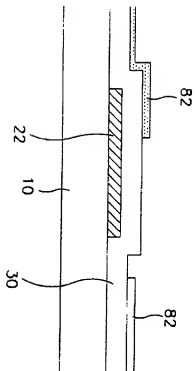


图 37B

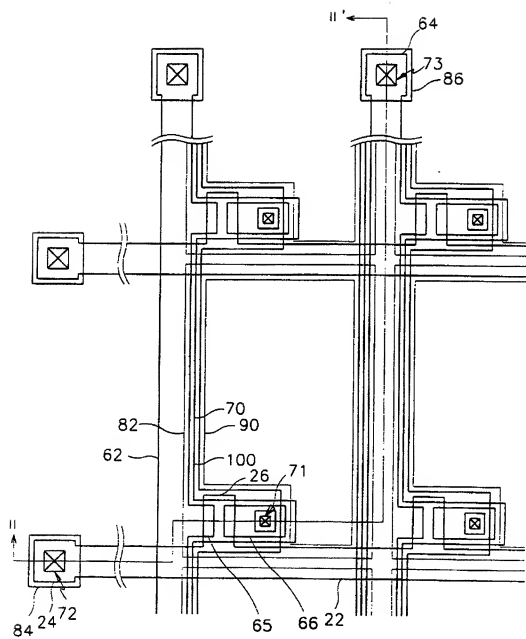


圖 38A

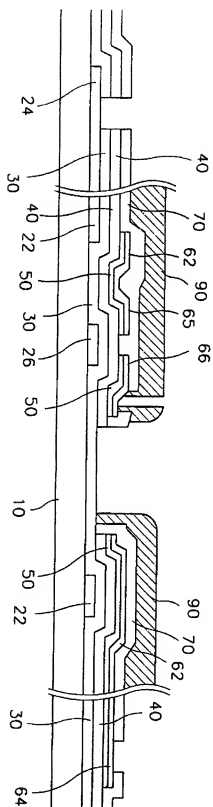


图 38B

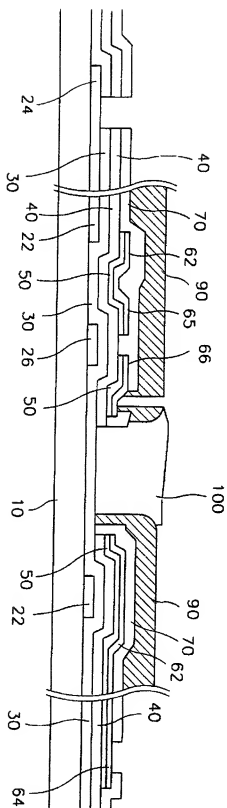


Fig. 39



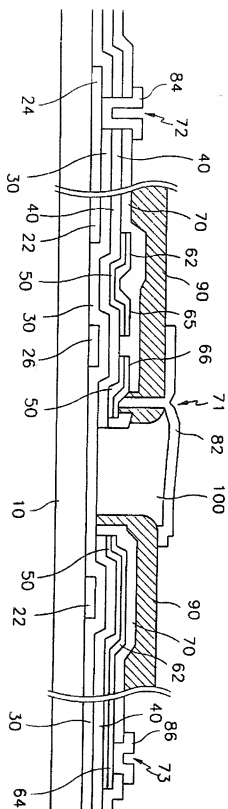


图 40

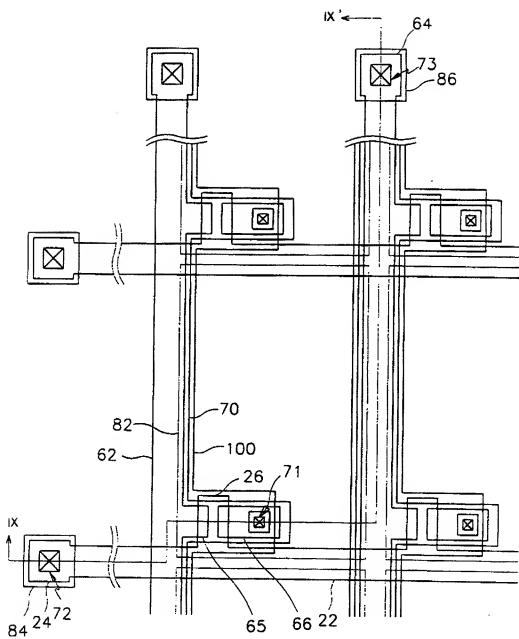


圖 41A

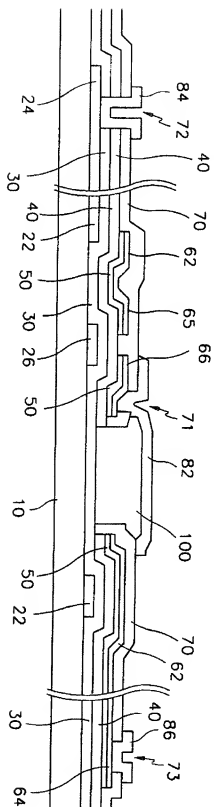
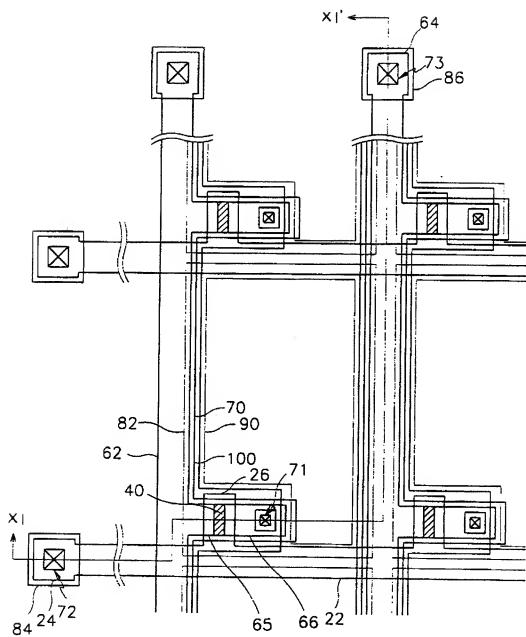


圖 41B



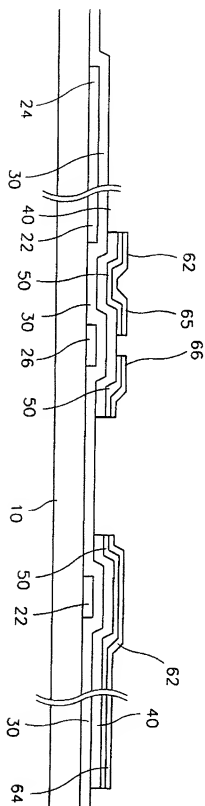


图 42B

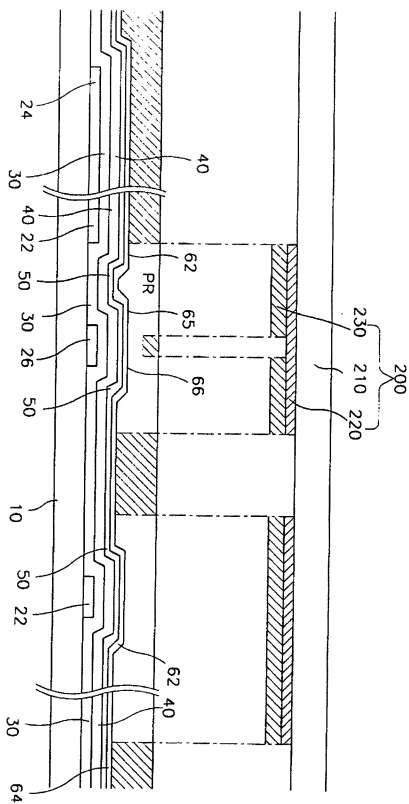


圖 43



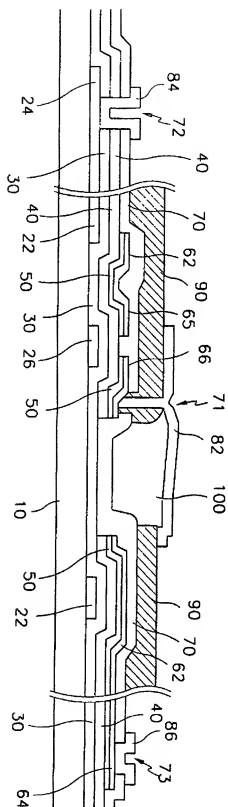


圖 45



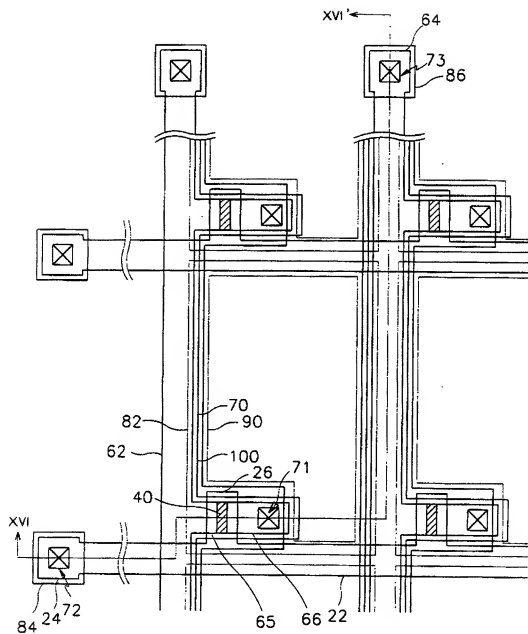


圖 46A

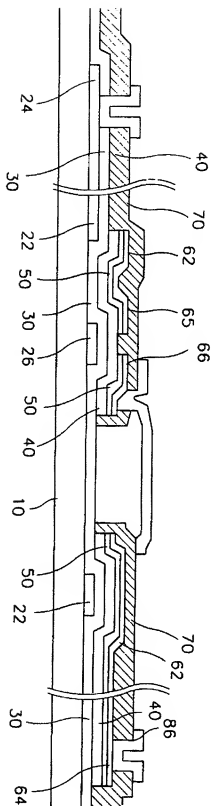
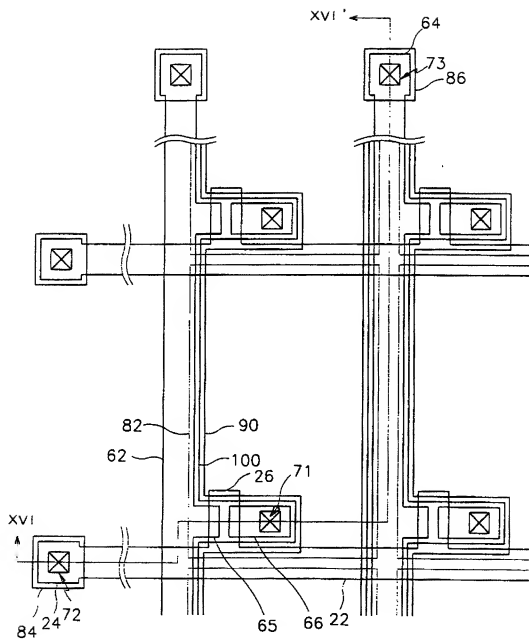
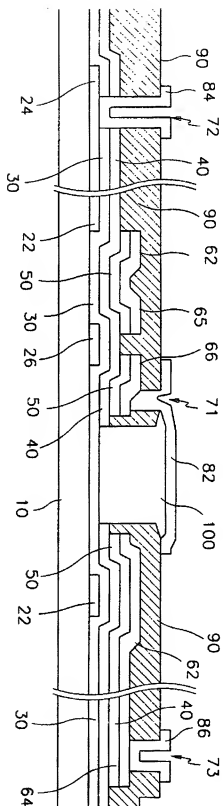


图 46B





47B

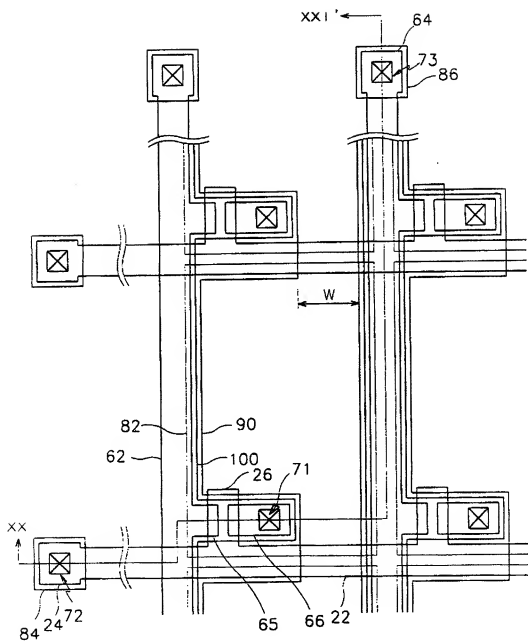


圖 48A

4 6 3 3 8 3

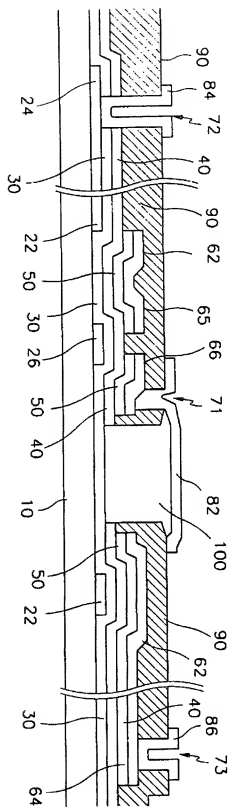


FIG. 48B